

集積回路の低電圧化に伴うアナログ入力バッファの特性検討

- 相補型 2 入力バッファ回路の提案 -

Simulation study of analog input buffer characteristics for low-voltage operation in CMOS integrated circuits

堀木由仁 福田恵子

Yuuto Horiki Keiko Fukuda

Abstract: Complementary-type analog input buffer is proposed for low-voltage operation in CMOS integrated circuits. It consists of a conventional source-follower and an inverter-type input buffer. Small-signal analysis and circuit simulation show that our new complementary-type analog input buffer has a comparable bandwidth and twice gain compared to source-follower. It is suitable for interface circuits for differential signal and is effective for common-mode noise reduction.

Keywords: input buffer, analog CMOS integrated circuits, low voltage operation

1. はじめに

近年、携帯電話などをはじめとした電子機器は、省エネルギーとともに小型化や高速化が求められている。これに伴い、電子機器を構成する集積回路ではムーアの法則に従って素子の微細化や低電圧化が行われている。低電圧化に伴い、トランジスタの動作領域は狭くなる。また、電源電圧の低下に伴い、トランジスタを電源電圧方向に複数直列に接続することが難しくなる。このため、アナログ回路の集積回路設計においても、低電源電圧(1V以下)の設計が必要となり、できるだけシンプルな構成で増幅度と帯域を確保することが非常に重要となっている。このような低電圧下におけるアナログ回路の特性に関して、本報告では、入力信号の性能確保に重要な役割をはたすアナログ入力バッファ回路の回路特性を評価し、相補型入力バッファ回路を提案する。

アナログ入力バッファ回路は、一般にセンサなどで検出された微弱アナログ信号を集積回路に入力する際のつなぎ(=インターフェース)となる。そのため、アナログ入力バッファには信号を正確に伝搬し、センサ等からなる前段の回路ブロックと後段の回路との相互干渉を避け、互いに影響を与えない回路特性が求められる。さらに、アナログ信号の特性を確保する上では歪みなどの信号特性の劣化を防ぎ、増幅度を確保し、帯域をできる限り広くとることが求められる。また、集積回路におけるアナログ回路では、同相雑音を除去するため、差動型の回路構成をとることが多く、差動出力信号に対応できる差動型入力インターフェース回路が有効である。

本報告では、低電源電圧で実現できる入力の反転、非反転を行える入力バッファ回路の構成を検討し、差動出力信号に対応できる相補型入力バッファ回路を提案する。さら

に、チップを実装する際に生じる回路入力部分の寄生インダクタンスの回路動作に与える影響について考察する。

2. アナログ入力バッファ回路

2.1 アナログ入力バッファ回路の基本特性

まず、アナログ入力バッファの基本特性を解析する。入力バッファとしては入力と同一位相の信号を出力するソースフォロア回路が一般に用いられる⁽¹⁾⁻⁽³⁾。ここでは、差動対の反転入力信号に対応するために、新たに反転増幅型入力バッファ回路(以下反転型バッファ)を提案し、特性を比較検討する。

ソースフォロア回路と反転型バッファの構成を図1に示す。図1はNチャンネルのMOSFETを使用した例である。サイズの等しいMOSFETを電源に対して直列に二段積みにした回路構成であり、電源電圧の低下に容易に対応できる特徴を持つ。図1(1)はソースフォロアの回路である。上段のMOSFET1に信号を入力し、MOSFET2に一定のバイアス電圧 V_{B2} を加えることによってソース抵抗 R_S を構成している。一方、図1(2)に示す反転型バッファの回路構成はソースフォロアと同じであるが、下段のMOSFET2に信号を入力するため、インバータ回路と同様にドレイン端子に負荷を接続する形となる。そのため、バッファ回路の特性を持ちながら反転出力が得られる。

ここで、2種類の回路の特性を小信号等価回路を用いて解析する。ソースフォロア及び反転型バッファの小信号等価回路を図2に示す。図中の g_{m1}, g_{m2} はMOSFET1, MOSFET2の相互コンダクタンス、 R_{D1}, R_{D2} はドレイン抵抗をそれぞれ表す。小信号等価回路を用いるとソースフォロア及び反転型バッファの増幅度 A_{VS}, A_{VI} と帯域 f_{CS}, f_{CI} は式(1)(2)(3)のように求められる。

$$A_{vs} = \frac{g_{m1}}{g_{m1} + g_{mb1} + \{(R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2})\} + j C} \quad (1)$$

$$A_{vi} = \frac{-g_{m2}}{g_{m1} + g_{mb1} + \{(R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2})\} + j C} \quad (2)$$

$$f_c = f_{cs} = f_{ci} = \frac{g_{m1} + g_{mb1} + \{(R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2})\}}{2 C} \quad (3)$$

(1)式よりソースフォロアの増幅度 A_{vs} は MOSFET1 の相互コンダクタンス g_{m1} に依存し、

$g_{m1} < g_{m1} + g_{mb1} + (R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2}) + j C$ より、増幅度が 1 以上にならないことが確認できる。一方、(2)式より反転型バッファの増幅度は負の値をとり MOSFET2 の相互コンダクタンス g_{m2} に依存する。 $g_{m2} > g_{m1}$ ならば増幅度が 1 以上になる可能性がある。また、帯域は(1)式と(2)式の分母が等しいことから(3)式で表されるように 2 つの回路で等しい値 f_c となる。

このことから MOS サイズやバイアス条件の設定の際に相互コンダクタンスなどの MOSFET の静特性を合わせれば反転型バッファにより、ソースフォロアと出力が反転する以外はほぼ同じ特性が得られることがわかる。

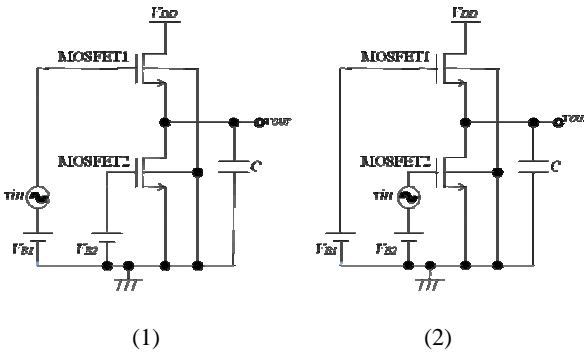


図1 アナログ入力バッファ回路

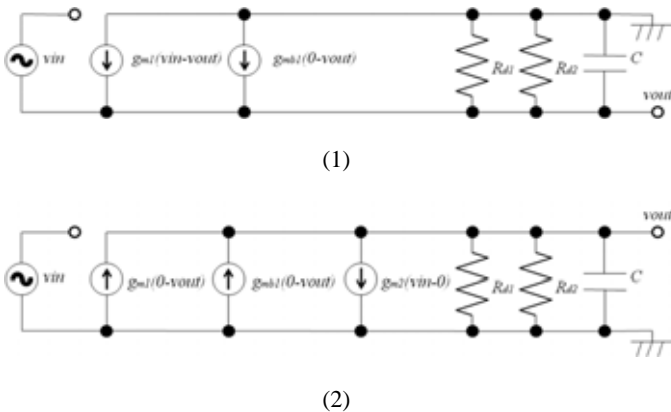


図2 アナログ入力バッファの小信号等価回路
(1)ソースフォロア (2)反転型バッファ

2.2 相補型 2 入力バッファ回路

2.1 の解析結果を基に差動出力信号に対応できる相補型 2 入力バッファ回路を提案する。まず、図 3 に示す相補型 2 入力バッファの回路の適用例からその用途について説明する。図 3 (1) に示すようなセンサ等からの微弱信号を完全差動形回路⁽⁴⁾を介して増幅回路やアナログ / デジタル変換器などの集積回路へ入力する際にはその接続部分に差動形入力インターフェースが必要となる。また、シングルエンド形⁽⁴⁾増幅回路の出力を集積回路へ入力する際には図 3 (2) に示すように同相雑音の除去を行えばより正確に信号を伝播することが可能となる。提案する相補型 2 入力バッファ回路はこのような検出回路などの前段の回路と A/D 変換器などの集積回路の接続に用いられる。

相補型 2 入力バッファ回路の構成を図 4 に示す。サイズの等しい MOSFET を電源に対して直列に二段積みにし、上下の MOSFET に信号を入力して 2 入力の差に相当する出力を得る。2 入力が同位相であれば相殺され、逆位相であれば増幅される。

ここで、相補型 2 入力バッファの特性を小信号等価回路を用いて解析する。相補型 2 入力バッファの小信号等価回路を図 5 に示す。増幅度 A_{vsi} と帯域 f_{csi} は式(4)(5)のように求められる。

$$A_{vsi} = \frac{g_{m1} + g_{m2}}{g_{m1} + g_{mb1} + \{(R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2})\} + j C} \quad (4)$$

$$f_c = f_{csi} = \frac{g_{m1} + g_{mb1} + \{(R_{d1} + R_{d2}) / (R_{d1} \cdot R_{d2})\}}{2 C} \quad (5)$$

(4)式より相補型 2 入力バッファの増幅度は上下両方の MOSFET の相互コンダクタンスに依存する。ここで、2 つ

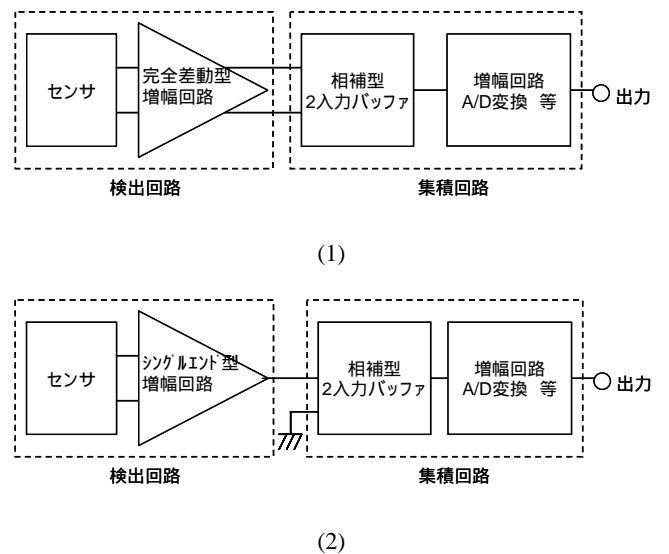


図3 相補型 2 入力バッファ回路の適用例
(1)差動信号対 (2)同相雑音の除去

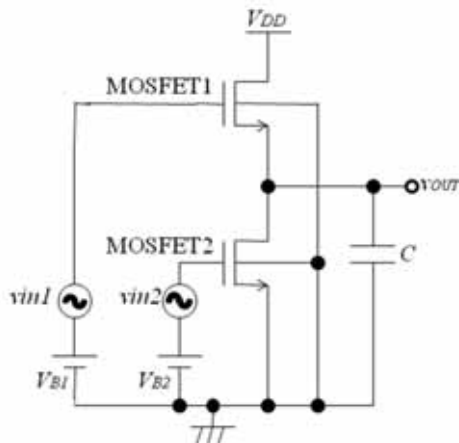


図4 相補型2入力バッファ回路

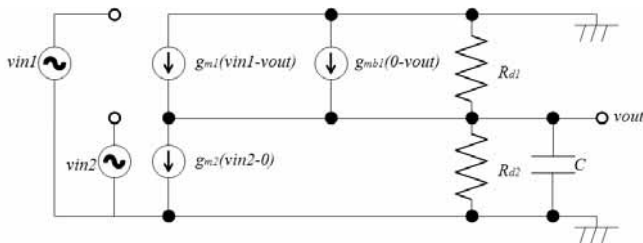


図5 相補型2入力バッファ回路の小信号等価回路

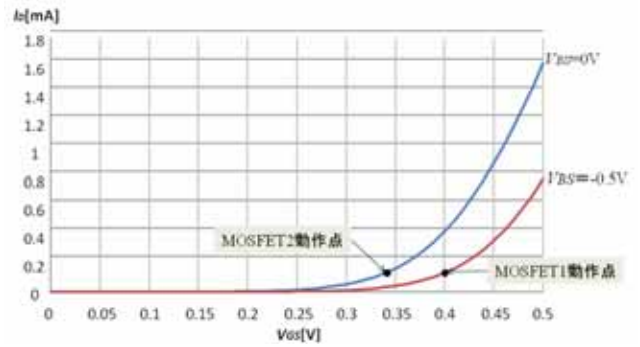
のMOSFETの相互コンダクタンスなどの静特性を合わせるにより $g_{m1} \approx g_{m2}$ とすれば約2倍の増幅度が得られる。また、(5)式より帯域はソースフォロア及び反転型バッファと等しく広帯域である。

3. 回路シミュレーション

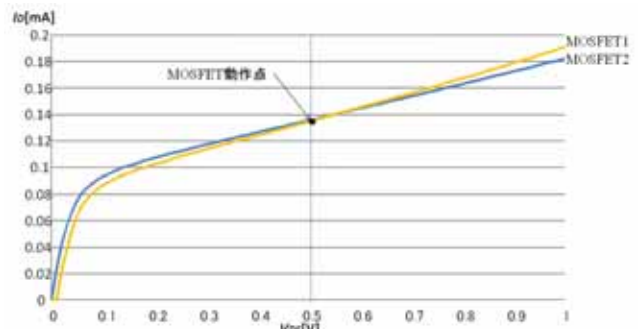
3.1 シミュレーション条件

上記の入力バッファ回路の特性を確認するために回路シミュレーションを行った。シミュレーションソフトはwin spice⁽⁵⁾を用い、MOSFETのモデルには0.13 μm のCMOSプロセスを使用した。また、低電圧下での入力バッファの特性検討を目的とするため、電源電圧は1Vとした。シミュレーションでは、ソースフォロア、反転入力型バッファ、相補型2入力バッファ回路の特性を比較検討するために、2つのMOSFETの増幅度がほぼ等しくなるように直流バイアス電圧を設定した。具体的なバイアス条件の設定方法を以下に説明する。

まず、上下のMOSFETのサイズは共にゲート長0.13 μm ゲート幅40 μm とした。次に、上下のMOSFETにかかるドレイン-ソース間電圧 V_{DS} を等しくするために、出力電圧を電源電圧の1/2の値を中心として出力されるように0.5 Vに設定した。このことにより上下の各MOSFETにかかるドレイン-ソース間電圧は共に0.5 Vとなる。さらに、基板-ソース間の電圧差 V_{BS} を考慮してゲート-ソース間電圧 V_{GS} を決定した。一般的にNMOSは基板端子をグラウンドに接続して使用



(1)



(2)

図6 MOSFET 静特性 (1) $V_{GS}-I_D$ 特性 (2) $V_{DS}-I_D$ 特性

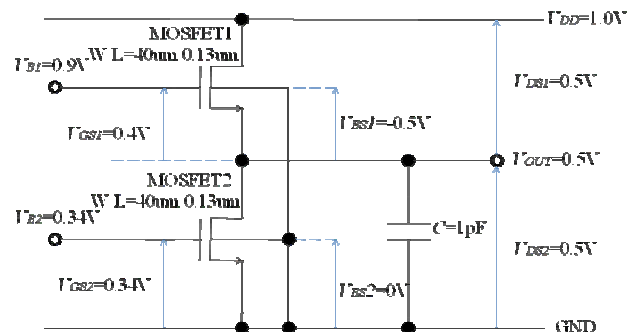


図7 回路シミュレーション条件

する。このため、上段のMOSFET1は基板端子とソース端子の間に電位差が生じている。本シミュレーションでは出力電圧を0.5 Vと設定しているためMOSFET1は $V_{BS}=-0.5$ Vであり、下段のMOSFET2は $V_{BS}=0$ Vとなる。この V_{BS} の差により上下のMOSFETの特性に違いが生じる。この違いを考慮した上でソースフォロアと反転型バッファの増幅度を等しくするためにMOSFETの $V_{GS}-I_D$ 特性を回路シミュレーションにより調べて異なる V_{BS} のNMOSに対して最適な V_{GS} を求めた。図6 (1)は $V_{BS}=0$ Vと $V_{BS}=-0.5$ V のときのMOSFETの $V_{GS}-I_D$ 特性である。相互コンダクタンスは $g_m = I_D / V_{DS}$ より、与えられることから、この図から g_m を求めて両MOSFETの g_m がほぼ等しくなる位置を動作点として決定した。さらに、さきほど決定した動作点における $V_{DS}-I_D$ 特性を図6 (2)に示す。

この図からMOSFETのドレイン抵抗を算出すると、両MOSFETのドレイン抵抗はほぼ等しい値となることを確認した。このとき、2つのMOSFETの増幅度はほぼ等しいと考えられる。

図7にこれらの過程から決定したシミュレーションの条件をまとめる。なお出力には後段の負荷として1pFの容量を接続した。

3.2 回路シミュレーション結果と考察

図7のシミュレーション条件に従い、回路シミュレーションを行った。

まず、3種類の入力バッファの利得の周波数特性を図8に示す。ソースフォロアと反転型バッファの利得は、-1.37 dB であり、2つの入力バッファの増幅度がほぼ1であることが確認できる。帯域についても3 dB 周波数が2つの入力バッファともに500 MHz 付近であり、ほぼ等しいことがわかる。また、相補型2入力バッファは増幅度がソースフォロア及び反転型バッファの約2倍で、帯域はほぼ2つの入力バッファと等しくなった。

次に過渡解析の結果を図9に示す。入力信号は周波数10 MHz 振幅0.1 Vの正弦波とした。0.5 Vを中心としてソースフォロアは正相、反転型バッファが逆相の同一振幅の出力が得られた。

図10に相補型2入力バッファの過渡解析結果を示す。差動入力に対しては0.5Vを中心とした振幅0.2Vの出力が、同相入力に対しては約1mVの出力が得られた。この結果、差動信号については約2倍に増幅、同相信号については1/100(-40dB) 低減できることがわかった。

以上の結果から等価回路での解析で示された通り、バイアス電圧及びMOSFETサイズを調整して g_m を等しくすることによりソースフォロアと反転型バッファの回路は増幅度と帯域を等しくできることがわかった。このため、反転型バッファはソースフォロアと同様の帯域を持つ入力反転を行えるバッファとして使用可能である。さらに上記2入力バッファを用いて相補型2入力バッファを構成した結果、差動信号のインターフェースとして利用できることがわかった。本回路は、増幅度を約2倍に向上した上で、帯域が確保される利点があり、高速信号の処理に有益である。また、同相信号の除去効果は-40dB であり、オペアンプの同相雑音除去比には及ばないが、最小限の回路規模の

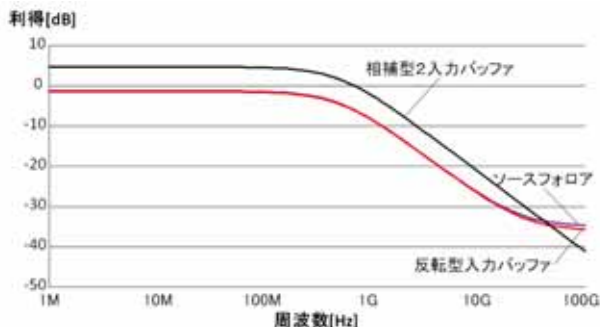
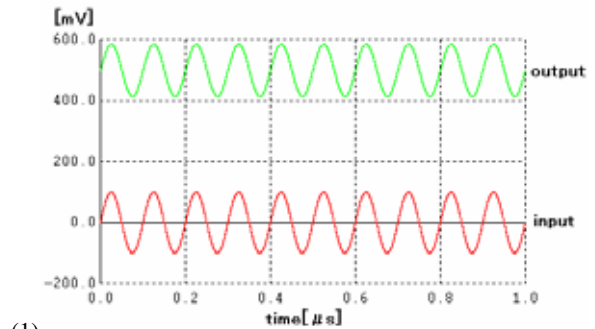
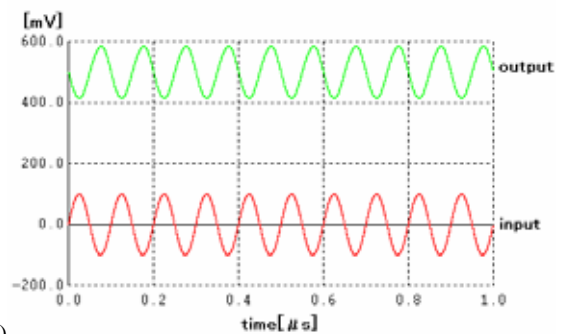


図8 入力バッファ利得の周波数依存性

増加でグラウンドラインを強化できる利点があり、集積化に適している。



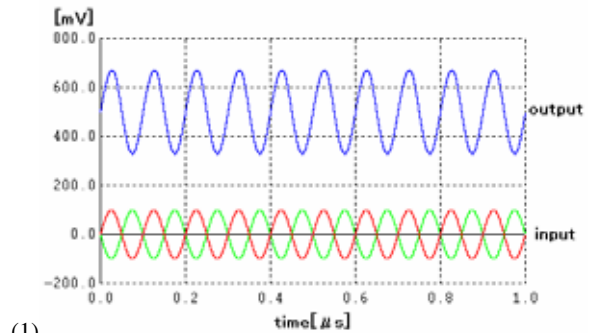
(1)



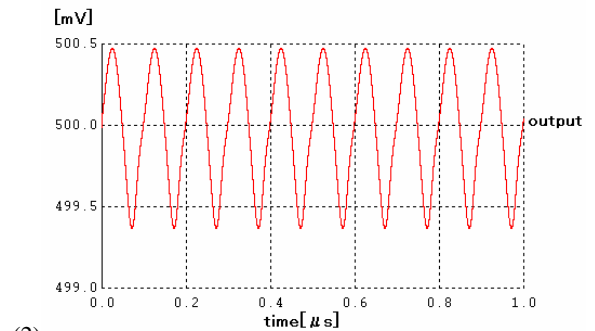
(2)

図9 過渡解析結果

(1) ソースフォロア、(2) 反転入力型



(1)



(2)

図10 相補型2入力バッファの入出力特性

(1)差動入力、(2)同相入力

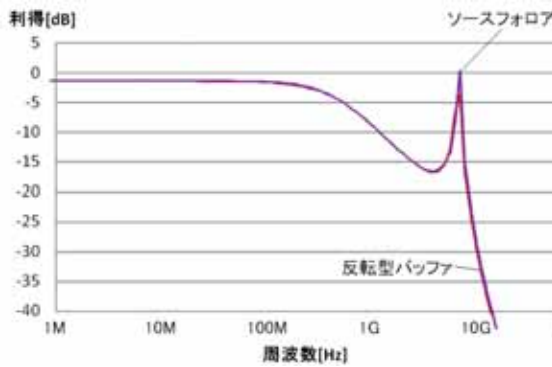
4. 実装を考慮したシミュレーション

4.1 シミュレーション条件

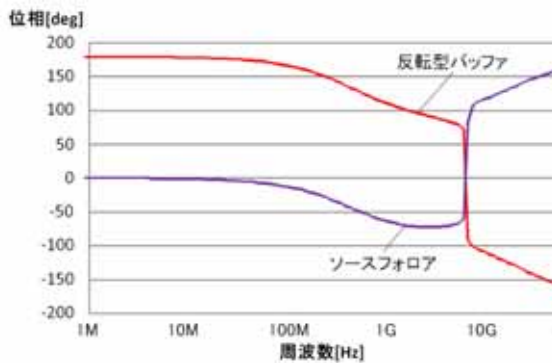
入力バッファ回路は、他の回路との接続などに用いられる回路であるため実際に使用する場合は外部との配線が必ず必要となる。ここでの配線とはチップとパッケージとを接続するために用いるボンディングワイヤやパッケージ外部の配線である。配線にはその長さに伴うインダクタンスが存在するため、これらの実装条件の影響を考慮した回路シミュレーションを行った。インダクタンスは電源部分にも存在するが、ここでは信号の伝播に直接関与する入力部について解析を行った。バイアス電圧及び電源電圧、MOSFET サイズは図7に示したシミュレーション条件と同様とした。ここでは配線の影響として信号入力端子である各MOSFETのゲート端子に10 nHのインダクタンスを接続した。

4.2 シミュレーション結果と考察

ソースフォロア及び反転入力型の2つの入力バッファのAC解析を行った。入力バッファの周波数に対する利得および位相の特性を図11に示す。図11(1)の利得特性より低周波での特性はソースフォロアと反転型バッファの両回路とも図9(1)の実装を考慮していない場合と同じであるが、10 GHz付近の周波数でピークが発生している。ま



(1)



(2)

図11 入力バッファ周波数特性(実装考慮)
(1)利得特性 (2)位相特性

た、図11(2)の位相特性よりピークが発生している10 GHz付近の周波数で大きな位相回りを生じている。

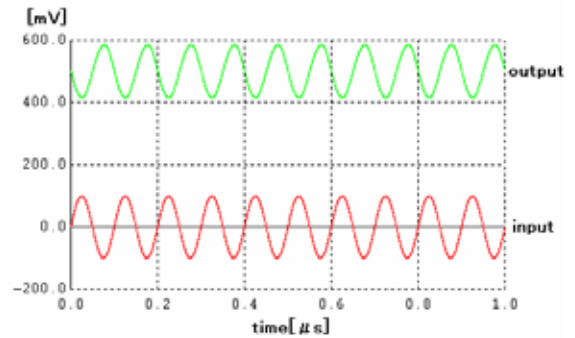
次に2つの入力バッファに対して過渡解析を行った。その結果を図12に示す。ここで入力信号は周波数10 MHz、振幅0.1 Vの正弦波とした。図12(2)より反転型バッファは寄生インダクタンスの無い場合と同様に正常に動作していることが確認できる。一方、図12(1)よりソースフォロアは寄生インダクタンスの無い場合と異なり発振を生じ、出力電圧が電源電圧1 V付近の値となっている。

以上のように実装を考慮して入力端子にインダクタンスを接続した場合の特性は高周波において基本特性とは異なる。周波数特性の解析結果から、両回路ともに10 GHz付近の周波数で利得ピークと位相回りが発生していることを確認した。一方、過渡解析では反転型バッファは正常に動作しているがソースフォロアは発振が生じていた。

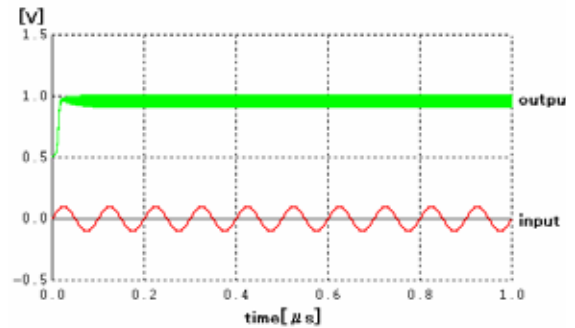
4.3 発振原因に関する考察

ソースフォロア回路が寄生インダクタンスの影響により発振が生じることを確認した。そこで、実装状態でのソースフォロアの発振原因及びその対処法を考察した。

図13(1)に寄生インダクタンスを考慮したソースフォロアの回路図を示す。ここでは簡単のためにソースフォロ



(1)



(2)

図12 入力バッファ過渡解析結果(実装考慮)

(1)ソースフォロア (2)反転型バッファ

アの下段の MOSFET (図 1 (1) の MOSFET 2) を抵抗に置き換えてある。ここで、MOSFET には構造的にいくつかの寄生容量⁽⁴⁾が実際には存在し、回路シミュレーションでは考慮されている。その 1 つが図 1 3 (1) の中に示すゲート-ソース間容量 C_{gs} である。

図 1 3 (1) の回路は高周波において入力 v_{in} が交流のグランドと考えると、図 1 3 (2) のように変形できる。

ここで回路の発振は、(a) 増幅度が 1 以上で (b) 正帰還である場合に入力 v_{in} の有無にかかわらず発生する。図 1 3 (2) の回路にこの条件を当てはめる。まず、ソースフォロアは位相差ゼロの出力を入力に返す正帰還の回路であり、(b) の条件に当てはまる。また、図 1 3 (2) において線に囲まれた部分が LC 共振回路になっているため 1 以上の増幅度になる可能性も考えられ、このとき (a) が成り立つ。このようにソースフォロアの増幅度は通常の動作では 1 未満であるがソースフォロア回路で発振する可能性があることを示している。なお、図 1 3 (2) の回路はコルピッツの発振回路の構成⁽²⁾と等しいことから発振が生じやすいことが裏付けられる。

以上のように配線が長く実装条件の悪い場合にはソースフォロアでは発振する可能性があり、注意が必要である。このため、実装時に回路入力部分のインダクタンスをできるだけ小さくして LC 共振回路の共振周波数が利得の低い高周波となるよう設定することが重要であると考えられる。

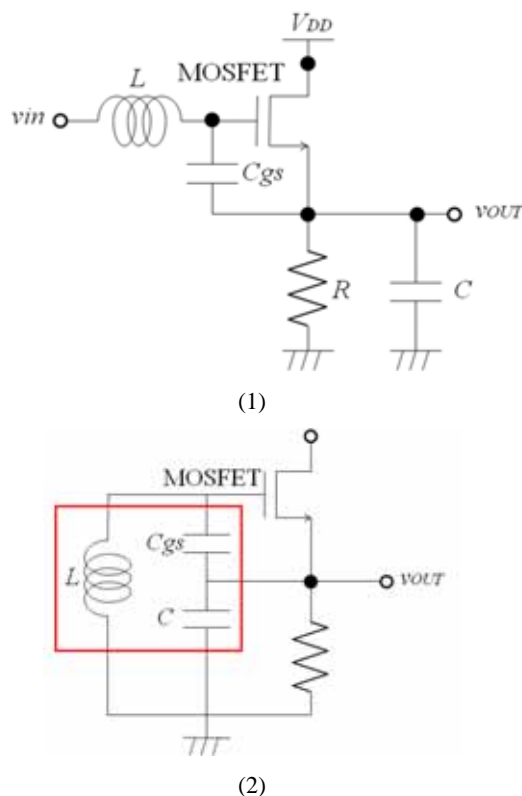


図 1 3 ソースフォロア回路 (寄生容量考慮)
(1) 寄生容量を考慮した回路 (2) 等価回路

5 . まとめ

低電源電圧下におけるアナログ入力バッファ回路の性能確保を目的として相補型 2 入力アナログバッファ回路を提案した。

まず、低電圧化への適用を考慮して、MOSFET を 2 段縦積みにした構成のソースフォロア回路と反転型バッファ回路について基本特性を解析した。バイアス電圧や MOSFET サイズなどの条件を調整することにより両回路は逆位相で等しい増幅度と帯域が得られることを確認した。反転型バッファはソースフォロアと同様の帯域、増幅度をもつことから、入力反転を行えるバッファとして使用可能である。

次に、ソースフォロアと反転型バッファによって構成される相補形 2 入力バッファ回路を提案した。相補型 2 入力バッファは増幅度が 2 倍に向上しても帯域が確保できる利点があることがわかった。このため、同相雑音の除去や差動信号に対応した入力バッファ回路として相補型 2 入力バッファが活用できると考える。

さらに、チップを実装する際に生じる回路入力部分の寄生インダクタンスが回路動作に与える影響を解析した。ソースフォロアと反転型バッファは周波数に対する利得や帯域の特性はほぼ等しいが、ソースフォロアはインダクタンスの影響によって発振を生じやすいことを確認した。MOSFET のゲート-ソース間容量を考慮した交流回路でソースフォロアの解析を行うと、ソースフォロアの回路構成は高周波においてコルピッツ発振回路と同じになり実際に発振が起こる可能性が高いことが明らかになった。このため、実装時には回路入力部分の寄生インダクタンスを小さくすべきである。

6 . 参考文献

- (1) 末松安晴、藤井信生：“電子回路入門”実教出版株式会社，2007. 完全差動 ADC
- (2) 吉澤浩和：“CMOS OP アンプ回路 実務設計の基礎”CQ 出版社，2007.
- (3) 谷口研二：“CMOS アナログ回路入門”CQ 出版社，2007.
- (4) Behzad Razavi 著 黒田忠広監訳：“アナログ CMOS 集積回路の設計”丸善出版，2003.
- (5) <http://www.ousetech.co.uk/winspice2/>