

前置増幅回路・識別再生回路の一体化設計による受信機の低消費電力化の検討

Examination for Low Power Consumption Receiver by Integrated Design of Preamplifiers and Decision Circuits

大川 典男¹⁾

小林 遥希²⁾

Norio Ohkawa¹⁾

Haruki Kobayashi²⁾

Abstract :

In the previous study, when the D-FF with the CMOS configuration using the transfer gates (TG's) were applied as a decision and regeneration circuit, excellent performance was obtained from low speed to high speed. But the lower the speed, it has been found that lower power consumption can be achieved by setting the higher decision voltage up to power supply voltage. However, if the decision voltage is set high, a large voltage gain is required for the preamplifier circuit, and power consumption of the preamplifier circuit increases. Moreover, in the high-speed operation region, it is necessary to consider the influence of waveform degradation due to the decrease in bandwidth due to high gain. For this reason, an optimum design method that integrates the preamplifier circuit and the decision and regeneration circuit, which is the main part of the digital receiver, was proposed and the lowest power consumption for each operation speed as a whole integrated circuit was examined through the circuit simulation. In the low-speed operation region of 1 Mbit/s or less and the high-speed operation region of about 1 Gbit/s, when the input signal to the preamplifier circuit is comparatively small -40 dBm, the lowest power consumption is achieved as the whole integrated circuit. The circuit configuration of the preamplifier circuit, and the optimum gate width of the amplification FET were clarified.

Keywords :

Low-power consumption, Decision voltage, Transfer gate, CMOS master-slave D-FF, Voltage-current feedback amplifiers

1. まえがき

光波長多重技術の進展により、光ファイバ1本当たり100波長程度の光通信システムが商用化されており、1000波長の光伝送実験[1]にも成功している。また近年、マルチコアファイバによる空間分割多重技術が注目されており、光ファイバ1本当たり7コアのマルチコアファイバによる伝送実験や、19コアのマルチコアファイバが試作されている[2]。光通信システムに適用される受信機は、波長数×コア数に相当する数が必要となり、高速化のみならず低消費電力化が重要な課題となっている。

さらに、今後急速な進展が期待されるIoT (Internet of Things) 用のネットワークデバイスは、まもなく世界で500億個に達し、最終的には毎年1兆個を超えるセンサーネットワークデバイスを活用する時代が到来すると予想されている[3]。ワイヤレスセンサーネットワークを利用した様々なサービスの多くは、屋外にセンサーを設置する必要があり、管理コストの観点からバッテリーレスで動作するセンサー送受信器が強く要望されている。これを実現するためには、搬送波や環境電波からの給電で駆動できるレベルまでセンサー送受信機を低消費電力化する必要がある。

これらの光通信システムやワイヤレスセンサーネットワークの信号はデジタル化されており、それらに共通したデジタル受信機は一般的に3R機能(等化増幅、タイミング抽出、識別再生)を有している。アナログ動作をする等化増幅回路では帯域、利得、消費電力を一元的に評価する性能

指標APIを提案し[4]、様々な増幅回路の性能評価を行ってきた。識別再生回路では、雑音や波形歪が付加された信号の符号を判定し再生する機能を持ち、D-FFなどのデジタル動作する回路で構成されている。識別再生回路に要求される特性として、高速化、低消費電力化に加え、識別再生回路に必要な入力信号の低電圧化があり、これにより前置される等化増幅回路の利得が低減でき、受信機全体の低消費電力化につながる。識別再生回路の性能を評価するため、消費電力とクロック(CLK)動作速度、規定の符号誤り率以下で動作可能な入力電圧である識別電圧を特性パラメータに加えた性能指標DPIを提案し[5]、様々な識別回路の性能評価を行ってきた。

前回の識別再生回路単体の検討[6]において、トランスファークロウ(TG)を用いたCMOS構成のD-FFでは、低速度から高速度まで優れたDPIが得られたが、低速度ほど、識別電圧を高く設定した方が、低消費電力化が図れることが明らかとなった[6]。しかし、識別電圧を高く設定すると、前置増幅回路には大きな電圧利得が要求され、前置増幅回路の消費電力が増大してしまう。また、高速動作領域では、高利得化による帯域幅の減少により、波形劣化の影響を考慮する必要がある。そのため本論文では、デジタル受信回路の主要部である識別再生回路と前置増幅回路を一体化設計し、一体化回路全体として動作速度毎に最も低消費電力化が図れる最適な設計法について回路シミュレーションより検討する。特に、信号が比較的小さい-40[dBm]の一体化回路のフロントエンド入力を想定したときの、1[Mbit/s]以下の低速動作領域、1[Gbit/s]程度の高速動作領域においてそれぞれ、一体化回路全体として最も低消費電力化が図れる前置増幅回路の回路構成、増幅部FETの最適なゲート幅を明らかにする。

¹⁾ 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース

²⁾ 株式会社KSF

2. 評価方法

一体化回路のフロントエンド部となる前置増幅回路の入力信号電力の強さを、比較的強い信号を想定した $-20[\text{dBm}]$ と、比較的弱い信号を想定した $-40[\text{dBm}]$ の2種類を想定し、 $50[\Omega]$ 負荷による電圧変換を行い、それぞれの入力信号電圧を $44.7[\text{mV}]$ 、 $4.47[\text{mV}]$ とした。前置増幅回路と識別再生回路の一体化回路を評価するには、まずデジタル回路において所要の符号誤り率 (BER) 特性を満たす必要がある。ここでは、基幹伝送システムにおいて設計されている BER 規定値を参考に、前方誤り訂正 (FEC) を行う前の所要 BER を 10^{-4} 以下とした。所要 BER を満たした上で最小となる消費電力が得られる前置増幅回路の構成や回路パラメータを求めた。識別再生回路には前回検討したトランスファーゲート (TG) を用いた CMOS 構成の D-FF を適用した [7]。

2.1 BER の評価

回路シミュレーションによる前置増幅回路と識別再生回路の一体化回路の BER 評価系を図 1 に示す。回路シミュレータには、SPICE3 をベースとし、収束性に優れ、短ゲート長 MOSFET デバイスモデルに対応した SIMetrix を用いた。

この評価系において、テストパターンには 7 段の疑似ランダム信号 (PRBS) を用いた。PRBS 発生部は、D-FF を縦続接続して構成したシフトレジスタと EX-OR を組み合わせることで最大長周期系列を発生する符号器として実現できるが、回路シミュレータのライブラリでは D-FF はデジタル信号として出力されるので、D/A コンバータを介し、電圧振幅を可変とすることが可能なアナログ信号に変換することにより、過渡解析が実施できるようにした。熱雑音を発生するノイズ源は 9 段の PRBS 発生回路、D/A コンバータ、ローパスフィルタ (LPF)、電圧制御発振器で構成した。9 段 PRBS のデジタル信号を D/A コンバータでアナログ信号に変換し、LPF で想定帯域を規定することにより、帯域内ではほぼ平坦な雑音源を生成した。電圧制御発振器では雑音の実効値を可変とすることができ、常温で熱雑音に相当する雑音量として ($0.29 [\mu\text{V}]@50 [\Omega]$) を発生させ、D/A 変換器出力のアナログ信号に重畳した。前置増幅回路への入力電圧の大きさは、D/A 変換器の出力で調整した。識別再生回路の出力を A/D 変換したパルスと、PRBS 発生部のパルスを EX-OR 回路で比較し、さらに誤りパルス極性判定部で符号“1”→“0”と誤ったのか、“0”→“1”と誤ったのかを判定し、識別しきい値の最適化を行った。また、クロック (CLK) は動作速度を決めるだけでなく、PRBS 発生部の出力パルスと識別再生回路出力を A/D 変換したパルスが完全に同期がとれるように、識別再生回路に入力する CLK の位相差を調整した。

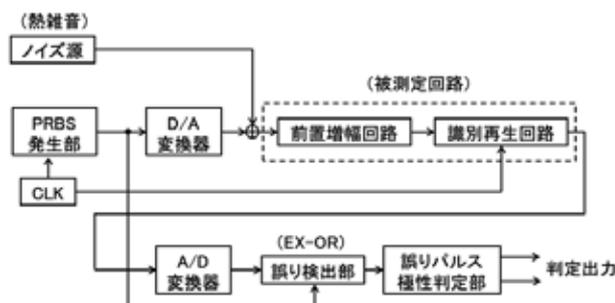


図 1 一体化回路の BER 評価系

回路シミュレーションにより 10,000 クロック分の疑似ランダム信号 (PRBS) による符号誤り検出を行い、BER が 10^{-4} 以下となる条件下で、一体化回路の消費電力が最小となる前置増幅回路の構成、回路パラメータの最適化を検討した。

図 2 に BER の評価例を示す。図 2 (a) のように識別再生回路への入力電圧である識別電圧が $10[\mu\text{V}]$ の時は、シミュレーション開始直後の過渡状態を除き、符号誤りが生じていないが、図 2 (b) のように前置増幅回路の電圧利得を増加させ、識別電圧を $1 [\mu\text{V}]$ とした時は、シミュレーション開始直後の過渡状態を過ぎても符号誤りが生じており、BER が 10^{-4} 以下を満足しないことが分かる。

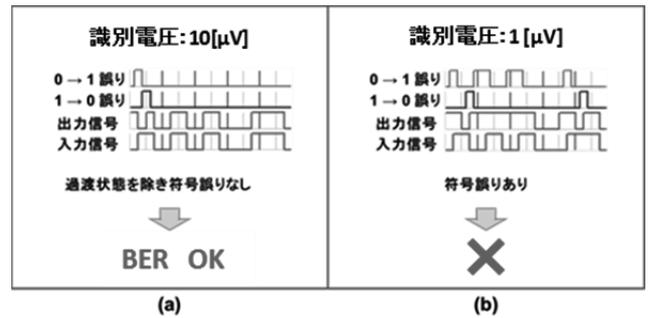


図 2 BER の評価例

2.2 消費電力の評価

図 3 に一体化回路全体の消費電力の求値方法について示す。識別再生回路に適用する CMOS 型 D-FF は原理的に High レベル、Low レベルの定常状態では電流が流れないため電力消費は発生せず、レベルが変化する時の過渡状態においてのみ電力を消費し、平均消費電力は、CLK 数に依存して変動する。しかし、CLK 数の増加とともに平均消費電力は収束していき、1000 CLK 程度の平均をとれば十分であることが分ったため、テストパターンを 1000 CLK 分入力した時に、識別再生回路に接続された電源で消費される電力の平均値を識別再生回路の消費電力とした。

前置増幅回路の電源で消費される電力は CLK 数に依存せず一定であり、前置増幅回路に接続された電源で消費される電力を前置増幅回路の消費電力とした。前置増幅回路と識別再生回路の消費電力を加えて一体化回路全体の消費電力とした。

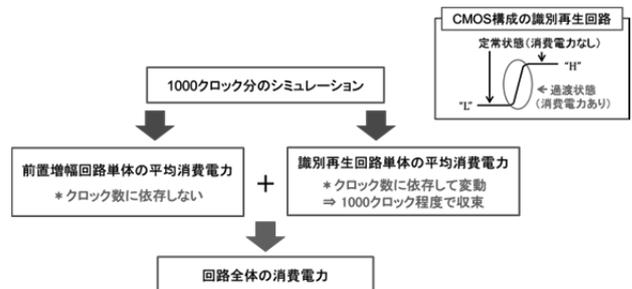


図 3 一体化回路全体の消費電力

3. 回路構成

3.1 基本構成

図4に今回、低消費電力化の検討を行った前置増幅回路と識別再生回路の一体化回路の基本構成を示す。前置増幅回路では最も基本的な増幅回路である抵抗負荷を用いたソース接地増幅回路において、前置増幅回路の入力電圧を識別再生回路で所望する識別電圧まで増幅するために必要な電圧利得を縦続接続することにより得た。トランジスタにはゲート長 $0.18[\mu\text{m}]$ 、ゲート幅 $4[\mu\text{m}]$ の nMOSFET を適用した。

前置増幅回路では抵抗負荷を用いたソース接地増幅回路をベースに、低速動作時は FET 負荷のソース接地回路、カスコード接続増幅回路について比較検討した。また、高速動作時には、広帯域化の図れる電圧-電流帰還形増幅回路との比較検討を行った。

識別再生回路には、低速動作から高速動作まで安定で、動作速度に応じて低消費電力化の図れるトランスファゲート (TG) を用いた CMOS 構成のマスタースレーブ形 D-FF を適用した。識別再生回路には、低速動作時から高速動作時までこの構成を適用した。なお、電源電圧は $1.8[\text{V}]$ 、適用する MOSFET のゲート長 L は $0.18[\mu\text{m}]$ 、ゲート幅 W は必要とする電流量に応じて $4[\mu\text{m}] \sim 16[\mu\text{m}]$ に設定した。

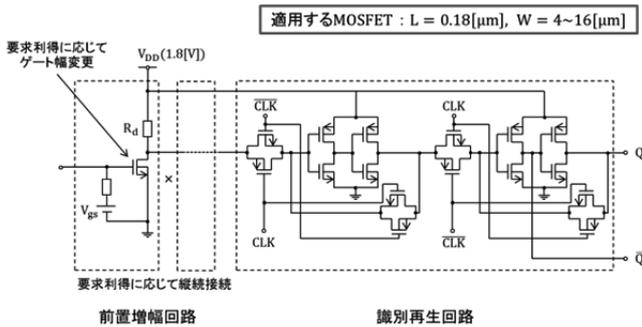


図4 一体化回路の構成

3.2 低速動作時の前置増幅回路の構成

$10[\text{kbit/s}] \sim 1[\text{Mbit/s}]$ 程度の低速動作時には、前置増幅回路の構成として、基本となる抵抗負荷のソース接地増幅回路及び、図5(a)に示す電流制御により高い負荷を実現できる FET 負荷のソース接地増幅回路、図5(b)に示す大きな

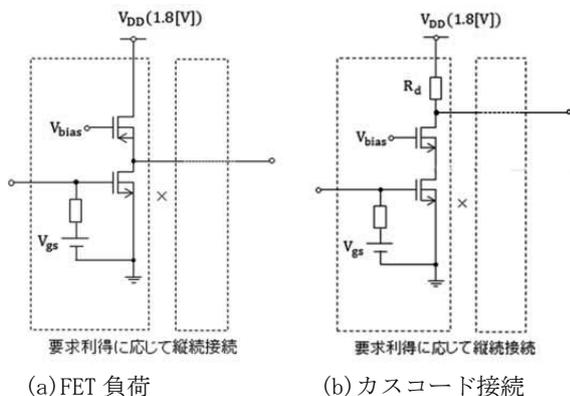


図5 低速動作時の前置増幅回路の構成

負荷抵抗により電圧利得を増加させることができるカスコード接続増幅回路をそれぞれ縦続接続し、BER の規定を満たした上で、一体化設計回路が最も低消費電力となる前置増幅回路の構成、回路パラメータについて検討を行った。また、抵抗負荷を用いた抵抗負荷のソース接地増幅回路において、増幅部 FET のゲート幅を $1[\mu\text{m}] \sim 8[\mu\text{m}]$ まで変化させ、一体化設計回路が最も低消費電力となる最適なゲート幅について検討した。

3.3 高速動作時の前置増幅回路の構成

識別再生回路が動作可能な $1[\text{Gbit/s}]$ までの高速動作時には、前置増幅回路を広帯域化して波形劣化を抑圧することは、回路全体の低消費電力化に有効と考えられ、基本のソース接地増幅回路以外に、図6に示す電圧-電流帰還形増幅回路についてピーキング調整が可能なインダクタを付加した構成を検討した。図中の網掛部分が最適化が必要な回路パラメータである。前置増幅回路入力から識別再生回路の識別電圧まで増幅するのに必要な利得は、縦続接続により得た。このとき、各段において、どこに帰還をかけるのが一体化回路全体の低消費電力化に有効かを検討した。

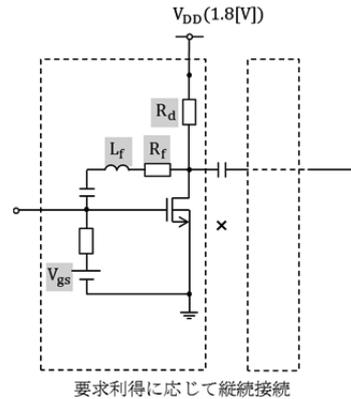


図6 高速動作時の前置増幅回路の構成

4. 検討結果と考察

最も基本となるソース接地増幅回路を縦続接続した前置増幅回路と識別再生回路の一体化回路において、前置増幅回路への入力信号が比較的高入力な $-20[\text{dBm}]$ と比較的低入力な $-40[\text{dBm}]$ の場合で、回路全体が最も低消費電力となるときの識別再生回路の識別電圧を動作速度毎に検討した。

この検討結果を踏まえ、入力信号が比較的低入力である $-40[\text{dBm}]$ の場合において、一体化回路全体の消費電力をより低減するため、前置増幅回路の最適な構成を低速動作時として $10[\text{kbit/s}]$ の場合、高速動作時として $1[\text{Gbit/s}]$ の場合について検討した。

4.1 高入力レベルに対する基本構成回路の消費電力

図7に前置増幅回路への入力信号が比較的高入力である $-20[\text{dBm}]$ の場合の一体化回路の動作速度に対する最小消費電力及び、その時の最適な識別電圧の回路シミュレーション結果を示す。図中の V_d は最適な識別電圧を表している。

$10[\text{kbit/s}] \sim 1[\text{Mbit/s}]$ 程度の低速度領域では、ソース接地増幅回路を2段縦続接続することで識別電圧を電源電圧

まで高く設定することが可能な電圧利得が得られ、一体化回路全体の消費電力は 10[kbit/s]において 1.1[μ W], 1[Mbit/s]において 9.2[μ W]と大幅な低消費電力特性が得られている。

10[Mbit/s]から 100[Mbit/s]程度の中速動作領域では、動作速度が比較的速いため、高い識別電圧による識別再生回路の消費電力の低減は小さくなっているが、この領域においても識別電圧を高く設定した方が一体化回路全体の消費電力は小さくなり、100[Mbit/s]において 160[μ W]と、この動作速度においては良好な低消費電力特性が得られている。

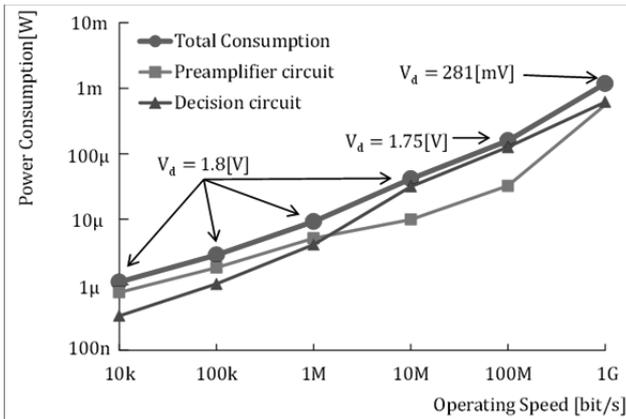


図7 高入力時 (-20[dBm]) の動作速度と消費電力

しかし、1[Gbit/s]程度の高速動作領域では、識別電圧を低く設定し、増幅回路の縦続接続段数を 2 段から 1 段減らして電圧利得を抑えて前置増幅回路の消費電力を低減させる方が、1[Gbit/s]において 1.2[mW]と、一体化回路全体の消費電力が低減することが分かった。これは、前置増幅回路で電圧利得を大きくすると、帯域幅が狭まることにより信号波形の劣化が起こり、その結果、図 8 に示すように信号波形の定常状態に対する過渡状態の割合が増加し、電流が流れ続く時間的な割合が増加することで、識別再生回路の電力を大きく消費してしまうため、高い識別電圧による識別再生回路の消費電力の低減の効果が小さくなってしまったからだと考えられる。

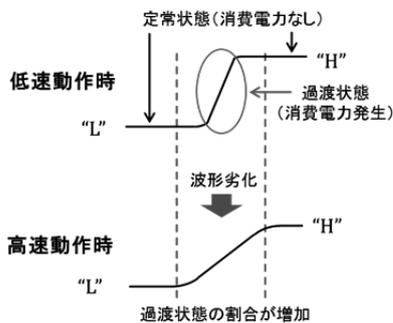


図8 動作速度に対するの定常状態と過渡状態の割合

10[kbit/s]から 100[Mbit/s]程度の中低速動作領域では、前置増幅回路の電圧利得を高めて識別電圧を高く設定した方が、一体化回路全体での消費電力は小さくなることが判

明した。一体化回路全体でのさらなる低消費電力化のためには、高利得化時にも低消費電力化の図れる前置増幅回路の構成の検討が必要であると考えられる。

一方、1[Gbit/s]程度の高速動作領域では、前置増幅回路での信号波形の劣化が識別再生回路での消費電力を増加させてしまうため、一体化回路全体でのさらなる低消費電力化のためには、広帯域化時にも低消費電力化の図れる前置増幅回路の構成を検討することが必要であると考えられる。

4.2 低入力レベルに対する基本構成回路の消費電力

次に図 9 に、前置増幅回路への入力信号が比較的入力である -40[dBm]での、一体化回路における動作速度に対する最小消費電力及び、そのときの識別電圧の回路シミュレーション結果を示す。

入力信号 -40[dBm]とした場合においても、10[kbit/s]から 100[Mbit/s]程度の中低速動作領域では識別電圧を電源電圧程度まで高く設定した方が、1[Gbit/s]程度の高速動作領域では識別電圧を低く設定した方が、受信回路全体の消費電力は小さくなり、入力信号を比較的高入力な -20[dBm]とした場合と同様の傾向が得られた。また、前置増幅回路の縦続接続段数は全て 3 段縦続接続となった。動作速度 1[Gbit/s]において、入力信号 -20[dBm]時のように前置増幅回路の縦続接続段数を 1 段減らさなかったのは、縦続接続段数を 1 段減らしてしまうと前置増幅回路の出力が識別電圧の最小値 (識別不確定幅) を下回り、BER が規定値である 10^{-4} 以下を満たせなくなってしまうためである。

入力信号 -40[dBm]時における、各動作速度でのさらなる低消費電力化の検討についても、-20[dBm]時の場合と同様のことが考えられる。

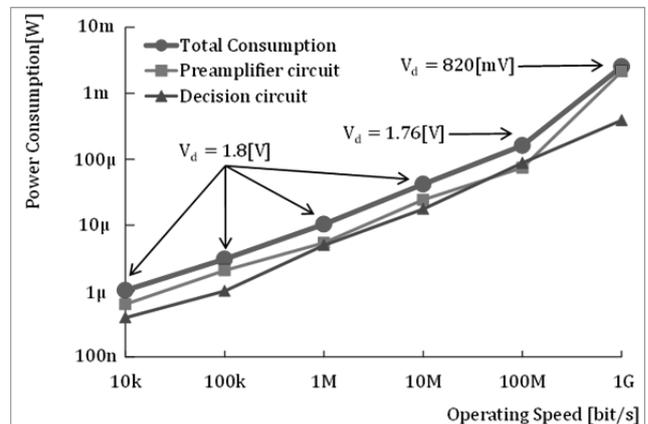


図9 低入力時 (-40[dBm]) の動作速度と消費電力

4.2.1 低速動作時の低消費電力化

各動作速度での最小消費電力の結果を踏まえ、10[kbit/s]程度の低速度でのさらなる低消費電力化について検討を行った。低速度では、前置増幅回路で電圧利得を増加させて識別電圧を高く設定した方が、一体化回路全体の消費電力は小さくなったため、前置増幅回路の高利得化、かつ低消費電力化を図ることが、一体化回路全体の低消費電力化に有効だと考えられる。

このため、前置増幅回路の回路構成の最適化とゲート幅の最適化の 2 種類を行った。

前置増幅回路への入力電力は-40[dBm]とし、50[Ω]負荷により電圧に変換して入力電圧(4.47[mV])とした。

表 1 に前置増幅回路で抵抗負荷のソース接地増幅回路, FET 負荷のソース接地増幅回路, カスコード接続増幅回路の 3 種類をそれぞれ縦続接続し、識別電圧を 1.8[V]とした際の、最小消費電力の回路シミュレーション結果を示す。

表 1 前置増幅回路の各構成に対する消費電力

適用した回路構成	各段の負荷[MΩ] (1段,2段,3段)	前置増幅回路での消費電力[nW]	識別再生回路での消費電力[nW]	回路全体での消費電力[μW]
負荷抵抗	10, 10, 4	635	533	1.17
FET負荷	13, 13, 3	509	608	1.17
カスコード接続	10, 10, 4	571	537	1.11

今回検討を行った 3 種類の構成では、前置増幅回路と識別再生回路での消費電力に微少な差はあったが、一体化回路全体としてみると殆ど同じ消費電力となった。

カスコード接続において大きな低消費電力化の効果が見られなかった理由としては、通常の負荷抵抗においても MOSFET の内部抵抗に近い、非常に大きな抵抗を用いていたため、カスコード接続時にさらに大きな負荷抵抗を適用してしまうと増幅部の FET に必要な電流量が得られなくなり、相互コンダクタンスが低下してしまうため、結果としてソース接地回路での負荷抵抗と同等程度の負荷抵抗を用いる必要があったためだと考えられる。

FET 負荷においても低消費電力化の効果が見られなかった理由として、通常の負荷抵抗においても非常に大きな抵抗を用いていたため、FET 負荷を大きくするためにドレイン電流を減らしてしまうと増幅回路に必要な電流量が得られなくなり、結果としてソース接地回路での負荷抵抗と同等程度の大きさの FET 負荷の値を用いる必要があったためだと考えられる。

前置増幅回路の回路構成において、低消費電力化の面からは 3 種類の回路構成に大きな差は見られなかったが、モノリシック IC への実装を考慮すると、集積化の観点からは FET 負荷が優れていると考えられる。

次に、前置増幅回路におけるゲート幅の最適化は、抵抗負荷のソース接地増幅回路を用いて行った。

適用するゲート長 0.18[μm]の nMOSFET のゲート幅を、今まで検討を行っていた 4[μm]の他、1/4 倍の 1[μm]、1/2 倍の 2[μm]、2 倍の 8[μm]として行った回路シミュレーション結果を表 2 に示す。

表 2 前置増幅回路の各ゲート幅に対する消費電力

ゲート幅[μm]	前置増幅回路での消費電力[nW]	識別再生回路での消費電力[nW]	回路全体での消費電力[μW]
1	637	392	1.03
2	630	395	1.03
4	655	555	1.17
8	708	565	1.27

前置増幅回路において、MOSFET のゲート幅を最適化した結果、ゲート幅 1[μm]及び 2[μm]の時に、一体化回路全体での消費電力が最も小さくなり、今までの検討に適用していたゲート幅 4[μm]よりも 10%程度、一体化回路全体での消費電力が低減された。この結果より、前置増幅回路で入力電圧 4.47[mV]を電源電圧 1.8[V]程度まで増幅させるには、

ゲート長 0.18[μm]に対して、ゲート幅 1[μm]~2[μm]の nMOSFET を用いることが最適であることが明らかとなった。

4.2.2 高速動作時の低消費電力化

高速度では、前置増幅回路を広帯域化し信号波形の劣化を抑えることが、受信回路全体の低消費電力化に有効であると考えられる。

そのため、抵抗負荷のソース接地増幅回路に電圧-電流形の帰還を適用して広帯域化を図ることにより波形劣化を抑え、一体化回路全体の低消費電力化を図った。

表 3 に 3 段縦続接続のうち、各段のみ、2 段と 3 段、及び全段で帰還をかけ、それぞれで最小の消費電力を求めた結果を示す。一体化回路全体の消費電力で見ると、全段、2 段目と 3 段目に帰還をかけた回路がそれぞれ、2.23[μW]、2.21[μW]と殆ど同等で最小となった。また、帰還なしと 1 段目のみに帰還をかけた回路では、消費電力はそれぞれ、2.56[μW]、2.55[μW]と殆ど違いがなく、1 段目のみに帰還をかけたことによる改善効果は殆どないことも分かった。

表 3 前置増幅回路の各帰還個所に対する消費電力

帰還をかけた箇所	識別電圧[V]	開口度	消費電力[mW] (前置増幅回路)	消費電力[mW] 一体化回路全体
全段	0.57	0.888	1.74	2.23
2段目と3段目	0.518	0.907	1.77	2.21
3段目のみ	0.509	0.912	1.95	2.42
2段目のみ	0.707	0.865	1.89	2.27
1段目のみ	0.750	0.863	2.16	2.56
帰還なし	0.738	0.861	2.16	2.55

高速動作時は前述のように波形劣化が起こるため、識別電圧のみでは前置増幅回路を含めた評価をすることが難しいと考えられる。そのため、信号波形を多数サンプリングし、重ね合わせて表示したアイパターンを用いて、アイパターンの開口度と合わせて考察を行う。アイパターンの開口度は式(1)で定義される。

$$\text{開口度} = V_{\min} / V_{\max} \quad \dots \dots (1)$$

この式における、 V_{\min} は信号の High の状態と Low の状態の最小電圧幅を表し、 V_{\max} は信号の High の状態と Low の状態の最大電圧幅を表す。図 10 に各帰還個所に対するアイパターンの回路シミュレーション結果を示す。

表 3 に示すように、アイパターンの開口度が高い方が、受信回路全体での消費電力が小さくなる傾向にあるのが分かる。また、各回路で識別電圧と開口度の関係を見ると、識別電圧が高い 2 段目のみ、1 段目のみ、帰還なしの回路はアイパターンの開口度が比較的低く、識別電圧の低い全段、2 段目と 3 段目、3 段目のみに帰還をかけた回路は開口度が比較的高くなっていることが分かる。これは、開口度が低い回路では、識別電圧を高めて識別再生回路の符号誤り発生を抑え、開口度が高い回路では、識別電圧を低減して前置増幅回路の電圧利得の低減、すなわち前置増幅回路の低消費電力化を図った方が良いと考えられる。したがって、一体化回路全体での低消費電力化を図るためには、前置増幅回路でのアイパターンの開口度を高めながらも、最適な識別電圧と開口度の関係を考慮して設計する必要があることが分かった。

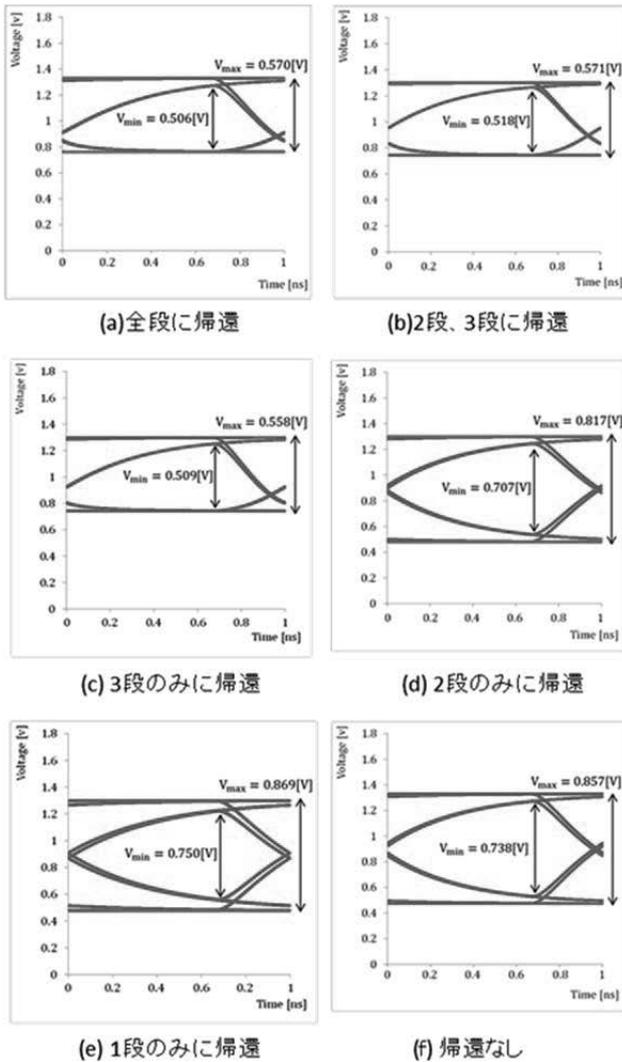


図 10 各帰還箇所に対するアイパターン

5. むすび

光通信システムやワイヤレスセンサーネットワークに共通したデジタル受信機の低消費電力化を図るため、受信機を構成する前置増幅回路と識別再生回路を一体化し、動作速度毎に最も低消費電力化が図れる設計法として、前置増幅回路の回路構成の検討や、識別再生回路の識別電圧と前置増幅回路の電圧利得の最適化の検討を回路シミュレーションにより行った。

一体化回路には、前置増幅回路として、抵抗負荷のソース接地増幅回路を所望の利得が得られるように縦続接続し、識別再生回路として、低速動作領域から高速動作領域まで低消費電力特性に優れた、トランスファーゲートを用いた CMOS 構成の D-FF を適用した。各動作速度で最適識別電圧を求めた結果、一体化回路のフロントエンド部である前置増幅回路の入力信号レベルが、比較的高い -20 [dBm] 時の場合、比較的低い -40 [dBm] 時の場合、ともに同様の結果が得られた。10 [kbit/s] から 100 [Mbit/s] 程度の中低速動作領域では、前置増幅回路での電圧利得を上げ、識別電圧を回路の電源電圧程度まで高く設定した方が、1 [Gbit/s] 程度の高速動作

領域では、識別電圧を低く設定し、前置増幅回路の電圧利得を下げ、前置増幅回路の消費電力を抑えた方が、一体化回路全体の消費電力が低減されることが明らかとなった。

10 [kbit/s] 程度の低速度領域での一体化回路のさらなる低消費電力化の検討として、前置増幅回路の構成で高利得化を図るため、FET 負荷を用いたソース接地増幅回路を縦続接続したもの、カスコード接続増幅回路を縦続接続したものを比較検討に加えたが、抵抗負荷のソース接地増幅回路の場合と消費電力の観点からはほとんど差異はないという結果が得られた。これは抵抗負荷においても MOSFET の内部抵抗に近い、非常に大きな抵抗を用いているため、FET 負荷や、カスコード接続でさらに大きな負荷抵抗を適用してしまうと増幅部の FET に必要な電流量が得られなくなり、相互コンダクタンスが低下してしまうため、抵抗負荷と同等程度の抵抗値となったためと考えられる。モノリシック IC への実装を考慮すると、集積化の観点からは、FET 負荷が優れていると考えられる。

また、ゲート長 0.18 [μm] に対して、ゲート幅 1 [μm] ~ 2 [μm] の nMOSFET を前置増幅回路に用いることが、低消費電力特性を得るのに最適であることが分かった。

1 [Gbit/s] 程度の高速動作領域での一体化回路のさらなる低消費電力化の検討として、電圧-電流形の帰還を用いて広帯域化を図り、波形劣化の抑圧による低消費電力化を検討した。増幅回路の全段、2 段目と 3 段目に帰還をかけたものが一体化回路全体の低消費電力化の観点から優れていることが分かった。また、前置増幅回路では、アイパターンの開口度を大きくすることを重視しつつ、最適な識別電圧と開口度の関係を考慮して設計する必要があることが分かった。

以上より、前置増幅回路と識別再生回路を一体化設計し、一体化回路全体の低消費電力化の観点から各動作領域における最適な構成について明らかにした。

参考文献

- [1] 高良秀彦, 大原拓也, 山本貴司, 山崎悦史, 犬塚史一, 高田篤, “マルチキャリア光発生技術および 1000 波長 WDM 伝送技術”, 電子情報通信学会ソサイエティ大会, BCI-1-2, 2008.
- [2] Shigehiro Takasaka et al, “Increase of Cladding Pump Power Efficiency by a 19-Core Erbium Doped Fibre Amplifier”, ECOC2017, Th. 2, D, 2017.
- [3] D. Evans, CISCO White Paper, 2011.
- [4] 大川典男, “小信号電圧増幅回路の帯域利得特性・消費電力に関する性能指標”, 電子情報通信学会論文誌 Vol. J92-C No. 7, 2009.
- [5] 大川典男, 小林遥希, 大島慶太, “識別再生回路の応答速度・消費電力・識別不確定幅に関する性能評価”, 東京都立産業技術高等専門学校研究紀要 11 号, 2017.
- [6] 大川典男, 小林遥希, “トランスファーゲート, クロック電流制御を適用した識別再生回路の性能評価”, 東京都立産業技術高等専門学校研究紀要 12 号, 2018.
- [7] 小林遥希, 大川典男, “前置増幅回路・識別再生回路の一体化設計による低消費電力化の検討”, 電子情報通信学会ソサイエティ大会, C-12-11, 2017.