

識別再生回路の応答速度・消費電力・識別不確定幅に関する性能評価

Performance Evaluation about Response, Power Consumption and Decision Ambiguity for Regenerative Circuits

大川 典男¹

小林 遥希²

大島 慶太³

Norio Ohkawa

Haruki Kobayashi

Keita Ooshima

Abstract :

The regenerative circuits which are composed of D-FFs and applied to digital receivers, have functions to judge mark or space and then to regenerate the deteriorated input signals. Usually, performance evaluation of digital circuits is used the PD product or the ED product. However, it is not enough to evaluate demand performance from digital receivers to regenerative circuits. Performance index named DPI was proposed to evaluate unitarily about response, power consumption and decision ambiguity in regenerative circuits.

The performance difference between the master slave type D-FF and the edge trigger type D-FF was clarified and showed effectiveness of the regenerative circuit evaluation employing DPI.

Keywords :

Performance index, Regenerative circuit, Low-power consumption, Decision ambiguity

1. まえがき

近年の爆発的な情報流通量を支えるインフラ基盤である光通信システムでは、波長多重伝送において光ファイバ 1 本当たり 100 波長程度のシステムが商用化されており、1000 波長の伝送実験にも成功している[1]。大容量化を達成するもうひとつの主要な技術である光位相制御による多値変調技術を適用したデジタルコヒーレント伝送では、1 シンボル当たり 2 ビットの QPSK 伝送が商用化されており、10 ビットの QAM 伝送実験[2]にも成功している。波長多重技術と多値変調技術を組み合わせることにより、これらの技術を適用しない場合と比較して、光ファイバ 1 本当たりの波長多重数と 1 シンボル当たりのビット数の積に相当する伝送容量増大が見込まれる。しかし、同時にこの積に相当する数の送受信器対が必要となる。このため、伝送容量増大とともに、光送受信器の低消費電力化が重要な課題となってきた。

デジタル受信器は一般的に 3R 機能（等化増幅、タイミング抽出、識別再生）を有している。アナログ回路である等化増幅回路では、帯域、利得、消費電力を一元的に評価する性能指標 API を提案し[3]、様々な増幅回路の性能評価を行っている。これに対し、識別再生回路は雑音や波形歪が付加された信号の符号を判定し再生する機能を持ち、D-FF などのデジタル回路で構成されている。デジタル回路の性能評価には、高速化及び低消費電力化を一元的に

評価する性能指標として、PD 積（消費電力とゲート遅延時間の積）や ED 積（PD 積とゲート遅延時間の積）などの性能指標がある[4]。しかし、これらの性能指標では一般的なデジタル回路単体としての評価は可能であるが、デジタル受信器全体から見た識別再生回路への要求性能を評価するには十分ではない。例えば、識別再生回路への入力信号電圧振幅が低減できれば、前置される等化増幅回路の利得が低減でき、受信器全体の低消費電力化につながる。

消費電力と遅延時間あるいはその逆数で示される応答速度にさらに、識別再生回路の前段の等化増幅回路の要求利得の指標となる、規定の符号誤り率以下で動作可能な入力電圧振幅である識別不確定幅を特性パラメータに加えた性能指標 DPI を考案した。DPI を用いて代表的な D-FF であるマスタースレーブ (MS) 型とエッジトリガ (ET) 型の性能評価を回路シミュレーション上で実施し、DPI による性能評価の有効性を明らかにした。

2. 性能指標の概要

識別再生回路の特性パラメータである識別不確定幅、消費電力、遅延時間あるいはその逆数である応答速度を一元的に評価する性能指標を考案するため、最初に各特性パラメータの定義と評価方法について述べ、次に性能指標の定義について述べる。

2.1 識別不確定幅の定義と評価方法

識別不確定幅は、識別再生回路として用いられる D-FF のクロック入力に規定電圧振幅のクロック信号を入力し、データ入力への入力信号の電圧振幅を減少させていき、D-FF 出力の符号誤り率(BER)が規定値として 10^{-4} 以下となる最小のデータ入力電圧振幅値であると定義した。これは現

¹ 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース

² 東京都立産業技術高等専門学校創造工学専攻電気電子工学コース 在学

³ 株式会社関電工

在の基幹伝送システムが前方誤り訂正 (FEC) を前提とし、FEC への入力前の BER が 10^{-4} 以下であれば標準的な FEC であるリード・ソロモン RS (255, 239) においても FEC 出力後の BER を基幹伝送システムの要求特性である 10^{-12} 以下にすることが可能となるためである。

図 1 に識別不確定幅を求めるための評価系を示す。この評価系では、周波数 2.5 [kHz] の PRBS 発生部からのテストパターン出力を π 型不平衡アッテネータ内部の抵抗値を変えて可変減衰させることにより、D-FF へのデータ入力信号の電圧を調整した。減衰させた入力信号には常温での熱雑音に相当するノイズを重畳した。誤判定を防ぐため、40 [μ s] 遅延させた 5 [kHz] のクロック信号を D-FF に入力し、回路シミュレーションにより全体として 10,000 クロック分の疑似ランダム信号 (PRBS) の識別再生を行った。識別再生後の D-FF の出力信号と PRBS 発生部からのテストパターンを誤り検出部 (EX-OR) でパルス比較することにより、符号誤りを検出し BER を求めた。BER が 10^{-4} 以下を確保した上で D-FF への入力信号電圧振幅が最小となる値より識別不確定幅を求めた。

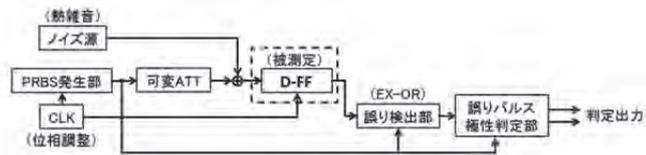


図 1. 識別不確定幅の評価系

テストパターン発生には回路シミュレータの収束性を考慮して図 2 に示す 4 段の PRBS を用いた。PRBS 発生回路は、D-FF を縦続接続して構成したシフトレジスタと EX-OR を組み合わせることで最大長周期系列を発生する符号器として実現できるが [5]、回路シミュレータのライブラリでは D-FF はデジタル信号として出力されるので、DA コンバータを介し、電圧振幅を可変とすることが可能なアナログ信号に変換し、識別不確定幅を求めるための過渡解析が実施できるようにした。

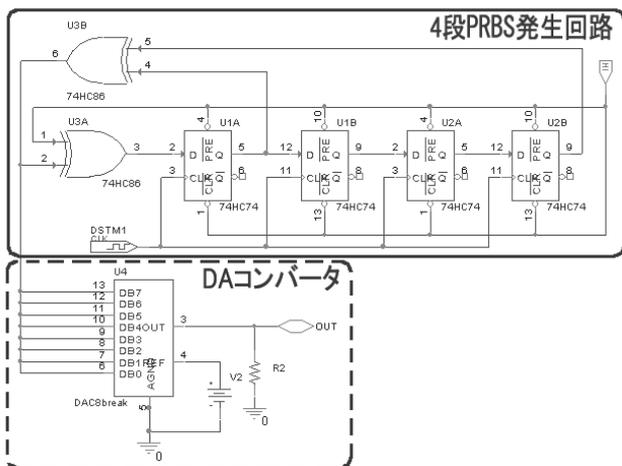


図 2. PRBS 発生部 (アナログ出力) の構成

熱雑音を発生するノイズ源は図 3 に示すように 9 段の PRBS 発生回路、DA コンバータ、ローパスフィルタ (LPF)、

電圧制御発振器で構成した。PRBS 発生回路のデジタル出力を DA コンバータでアナログ出力に変換し、LPF で想定帯域を規定することにより、帯域内でほぼ平坦な雑音源として扱うことが可能である。電圧制御発振器では雑音の実効値を可変とすることができ、常温で熱雑音に相当する雑音量 (0.29 [μ V]@50 [Ω]) を発生させた。

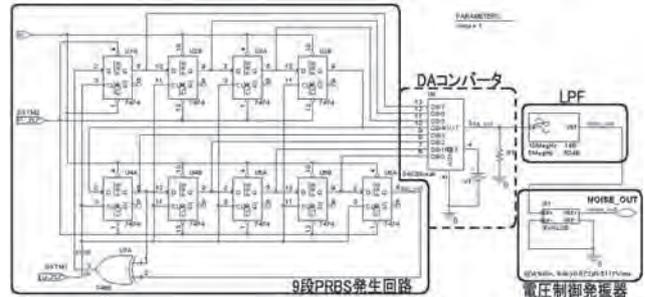


図 3. 熱雑音発生用の雑音源の構成

回路シミュレーションを実施するに当たり、識別再生回路として用いた D-FF において、データ入力信号が入力されるフロントエンドの NAND ゲートでは識別不確定幅が最小となるように NAND ゲート内の DC バイアス電源電圧の調整を行った。この調整において必要となる誤りパルス極性判定部の構成を図 4 に示す。誤りパルス極性判定部は、誤り検出部 (EX-OR) から出力される符号誤りが符号 "0" を符号 "1" と誤ったものなのか、符号 "1" を符号 "0" と誤ったものなのかを判定する機能を持つ。PRBS 発生部からのテストパターンと誤り検出部出力との AND をとることにより、符号 "1" を符号 "0" と誤った場合は High レベルのパルスが AND 出力から出力される。また、AND 出力と誤り検出部出力の EX-OR をとることにより、符号 "0" を符号 "1" と誤った場合は High レベルのパルスが EX-OR 出力から出力される。

識別再生回路として用いた D-FF において、データ入力部の NAND ゲートの閾値を、誤りパルス極性判定部の AND 出力及び EX-OR 出力の誤りパルス数を均等とすることで識別不確定幅が最小となるように調整し、NAND ゲート内の最適 DC バイアス電源電圧を決定した。

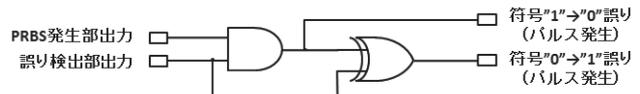


図 4. 誤りパルス極性判定部の構成

2.2 消費電力の評価方法

消費電力は、D-FF を構成する NAND ゲートの消費電力と MS 型及び ET 型の D-FF に使用される NAND ゲート数との積を識別再生回路全体の消費電力とした。なお、今回検討した MS 型 D-FF 及び ET 型 D-FF は、全て NAND ゲートのみで構成されている。NAND ゲートは CMOS 構成となっているため、動作周波数に相当する方形波入力時に電圧源で消費される電力の平均値を NAND ゲートの消費電力とした。

2.3 遅延時間の定義と評価方法

2.3.1 動作遅延時間

動作遅延時間は、図 5 のように識別再生回路として用いた D-FF にデータ信号を入力したときの出力信号が 10% から 90% まで立ち上がる時間と、90% から 10% まで立ち下がる時間の平均時間と定義した。過渡解析による D-FF の出力波形より動作遅延時間を求めることができる。

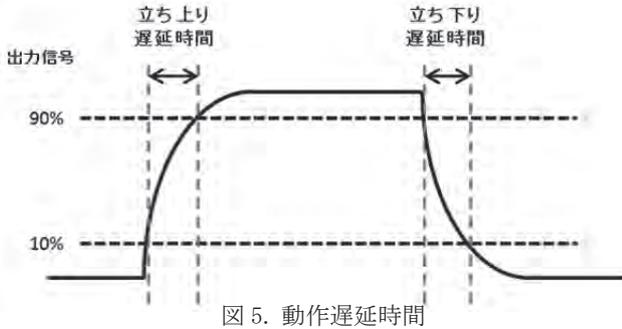


図 5. 動作遅延時間

2.3.2 伝搬遅延時間

伝搬遅延時間は、図 6 のように D-FF へのデータ入力信号電圧が 50% に変化した時間から D-FF の出力信号電圧が 50% に変化するまでの立ち上がり時間と、立ち下がり時間の平均時間と定義した。過渡解析による D-FF の出力波形より伝搬遅延時間を求めることができる。

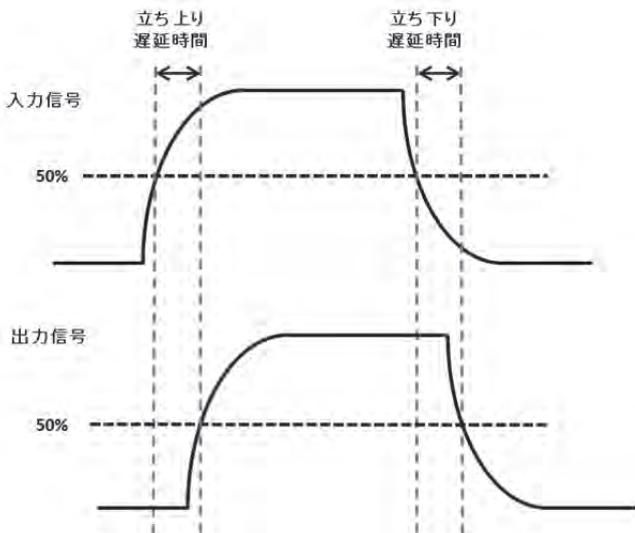


図 6. 伝搬遅延時間

2.3.3 クロック応答周期

クロック応答周期は、D-FF のデータ入力及びクロック入力に規定の信号電圧振幅を入れ、クロック信号の周期を短くした時、D-FF が規定の BER 以下で動作する限界値をクロック応答周期と定義した。クロック応答周期の逆数がクロック応答速度となる。クロック応答周期は BER というデジタル回路の最終的な評価から求めているため、識別再生回路の実際の動作速度を最も直接的に表していると考えられる。さらにクロック応答周期の求値には、図 1 に示す識別不確定幅の求値と同一の評価系が適用できるため、他の遅延時間の求値法のように新たな評価系を準備する必要がない。クロック応答周期は逆数であるクロック応答速度とし

て用いる事により、2.4 節に示すように、等化増幅回路の性能指標である API と同一の次元 [(dB・Hz)/W] [3] とすることができ、識別再生回路だけでなく受信器全体としての一元的な評価に繋げることができる。これらを考慮して識別再生回路の性能指標 DPI を次のように定義した。

2.4 性能指標 DPI の定義

識別再生回路の性能指標 DPI (Decision circuit Performance Index) を、式(1)のように定義した。

$$DPI = \frac{20 \cdot \log(V_{DD}/X) \cdot F}{W} \quad [(dB \cdot Hz)/W] \quad (1)$$

ここで、 X は識別不確定幅 [V]、 W は消費電力 [W]、 F はクロック応答速度 [Hz] である。識別不確定幅を (V_{DD}/X) とすることにより最大出力電圧である電源電圧 V_{DD} [V] に対する入力電圧振幅の余裕度を表すことができる。さらに、 $20 \cdot \log(V_{DD}/X)$ とすることによりこれをデシベル表示とした。これは、等化増幅回路の性能指標として API [3] を提案しており、API の特性パラメータである利得がデシベル表示となっているため、それとの接続性を考慮したためである。入力電圧振幅余裕度と応答速度、消費電力の特性パラメータを一元的に評価したものが DPI となる。DPI が大きいほど識別再生回路の性能が優れていることを表す。

3. 識別再生回路の構成

3.1 CMOS-NAND ゲートの構成

SIMetrix などの回路シミュレータに標準ライブラリとして用意されている NAND ゲートは論理シミュレーション用であり、遅延時間を求めるために必要なアナログ的な応答波形を表示させる過渡解析に使用することができない。過渡解析で使用できる CMOS-NAND ゲートを構成するため、図 7 のように nMOSFET 及び pMOSFET の 4 つの MOSFET により CMOS-NAND ゲートを構成した。

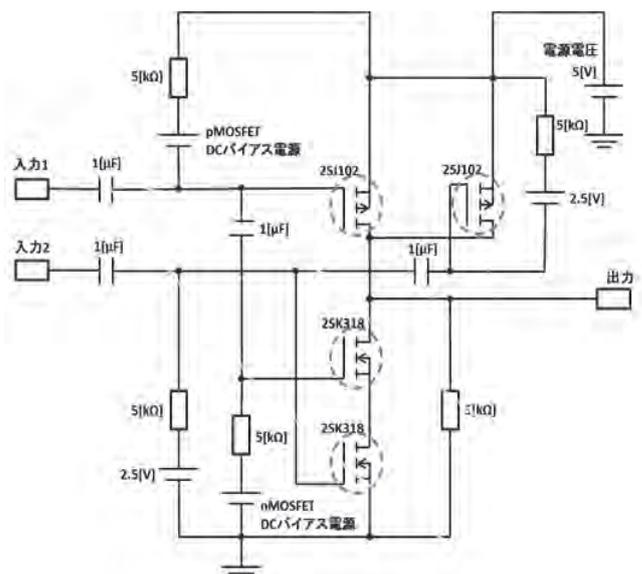


図 7. CMOS-NAND ゲートの構成

nMOSFETにはSPICEIIをベースとした汎用回路シミュレータであるPSPICEの標準ライブラリにあるトランジスタモデルのうち、最も周波数特性の良い2SK318を使用し、pMOSFETにはライブラリ内にあり、2SK318とゲート電圧は異なるがほぼ同じ静特性曲線を持つ2SJ102を用いてCMOSを構成した。DCバイアス電源として、標準のNANDゲートには電源電圧の半分である2.5[V]を印加した。D-FFのデータ入力部のNANDゲートでは識別不確定幅が最小となるようにpMOSFET及びnMOSFETのDCバイアス電源電圧の最適化を行った。また、結合コンデンサは定常動作までの時間と出力の安定性を考慮し、1[μ F]に設定した。これらのCMOS-NANDゲートのみでD-FFを構成したが、マスタースレーブ(MS)型D-FFでは9個、エッジトリガ(ET)型D-FFでは8個のCMOS-NANDゲートを使用した。

3.2 マスタースレーブ型D-FFの構成

CMOS-NANDゲートを9個使い、MS型D-FFを図8のように構成した。データ入力部のNANDゲートのみ、nMOSFET及びpMOSFETのDCバイアス電源電圧を最適化したNANDゲートを用いた。このMS型D-FFについて、DPIによる性能評価を行った。

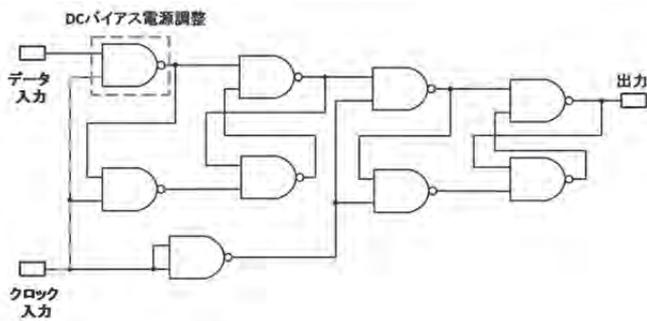


図8. マスタースレーブ (MS) 型D-FFの構成

3.3 エッジトリガ型D-FFの構成

CMOS-NANDゲートを8個使い、図9のように構成した。MS型と同様にデータ入力部のNANDゲートのみ、pMOSFET及びnMOSFETのDCバイアス電源電圧を最適化したNANDゲートを用いた。このET型D-FFについて、DPIによる性能評価を行った。

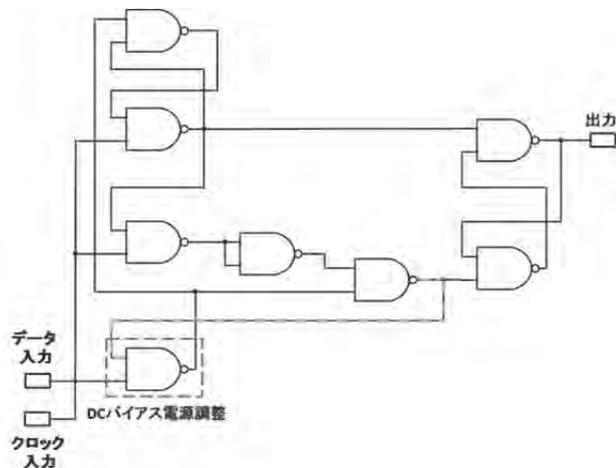


図9. エッジトリガ (ET) 型D-FFの構成

4. 識別再生回路の性能評価

MS型D-FF及びET型D-FFについて、性能指標DPIを用いた性能評価を行うため、回路シミュレータとして収束性に優れたSPICEIIIをベースとし、PSPICEのトランジスタモデルも利用できるSIMetrixを用いた。

4.1 識別不確定幅に関する回路シミュレーション結果

識別不確定幅は図1に示す識別不確定幅の評価系を両タイプのD-FFに適用し、4段PRBS信号の電圧を減少させてデータ入力したときの誤りパルス数を計測し、BERが 10^{-4} 以下となる最小のデータ入力電圧振幅を求めた。識別不確定幅の評価系によるMS型D-FFの回路シミュレーション結果を図10に示す。

MS型D-FFでは、145[mV]以上のデータ入力電圧振幅では、回路シミュレーション開始直後はNANDゲートの過渡動作により符号誤りが発生しているが、過渡解析時間が経ち、定常動作に近づくにつれて、符号誤りが発生せず、BERが 10^{-4} 以下となることを確認した。一方、144[mV]以下のデータ入力電圧振幅では過渡解析時間が経っても符号誤りが発生し続け、BERが 10^{-4} 以上であることを確認した。これより、MS型D-FFの識別不確定幅を145[mV]とした。

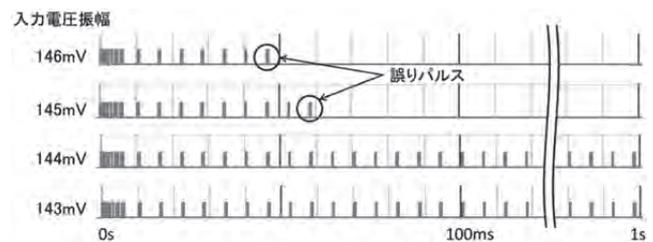


図10. MS型D-FFの識別不確定幅の求値

同一の識別不確定幅の評価系によるET型D-FFの回路シミュレーション結果を図11に示す。ET型D-FFでは、MS型D-FFと同様に730[mV]以上のデータ入力電圧振幅では過渡解析時間が経ち、定常動作に近づくとき符号誤りが発生せず、BERが 10^{-4} 以下となることを確認した。一方、729[mV]以下のデータ入力電圧振幅では過渡解析時間が経っても符号誤りが発生し続け、BERが 10^{-4} 以上となることを確認し、ET型D-FFの識別不確定幅を730[mV]とした。

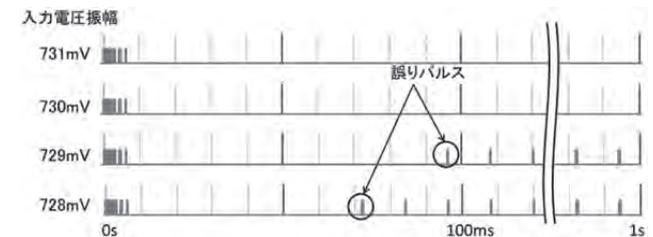


図11. ET型D-FFの識別不確定幅の求値

これらの回路シミュレーション結果より、識別不確定幅についてMS型D-FFに比べET型D-FFの方が5倍ほど大きな値となった。MS型D-FFに比べET型D-FFの識別不確定幅が大きくなった理由として、図12に示すように、D-FFのデータ入力部のNANDゲートはデータ入力電圧振幅が小

さくなると完全なデジタル動作となっておらずアナログ的に動作しており、ET型D-FFのデータ入力部のNANDゲートにおいて、もう一方の入力にはデータ入力信号とクロック信号より生成され、歪を含んだ内部信号であるため、データ入力電圧振幅を減少させると、このNANDゲートの出力波形が比較的歪みやすいためと考えられる。それに対して、MS型D-FFではデータ入力部のNANDゲートのもう一方の入力には、電圧振幅が十分大きく波形の整ったクロック信号が入力されるため、MS型D-FFの方がこのNANDゲートの出力波形が比較的歪みにくいためと考えられる。

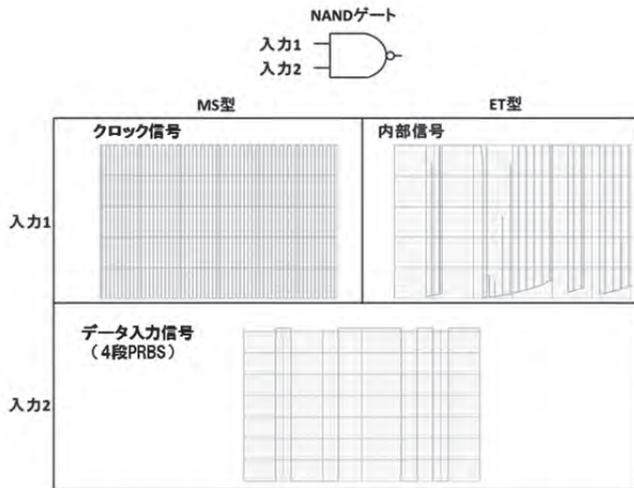


図 12. D-FF の信号入力部の NAND ゲート入力

4.2 消費電力に関する回路シミュレーション結果

NANDゲートはCMOS構成となっているため、過渡解析より、動作周波数に相当する方形波入力時に電源で消費される電力の平均値をNANDゲートの消費電力とした。なお、電源投入時に相当する回路シミュレーション開始直後のNANDゲートの過渡動作を避けるため、定常状態となる過渡解析時間以降においてNANDゲートの消費電力を求めた結果、4.14[mW]となった。この値は、識別不確定幅が最小となるようにpMOSFET及びnMOSFETのDCバイアス電源電圧の最適化を行ったNANDゲートについても同等であった。これより、MS型D-FFの消費電力は、NANDゲートを9個使用しているため、37.3[mW]、ET型D-FFの消費電力はNANDゲートを8個使用しているため、33.1[mW]となった。

4.3 遅延時間に関する回路シミュレーション結果

MS型D-FFのクロック応答周期の回路シミュレーション結果を図13に示す。クロック応答周期が370[ns]の場合は回路シミュレーション開始からしばらくはNANDゲートの過渡特性により符号誤りが発生しているが、D-FFの出力信号レベルが安定すると符号誤りが発生せず、BERが 10^{-4} 以下となることを確認した。

一方、クロック応答周期が357[ns]の場合は、D-FFの出力信号レベルが安定しても符号誤りが発生し続け、BERが 10^{-4} 以上となることを確認した。このことから、MS型D-FFのクロック応答周期を370[ns]とした。

ET型D-FFのクロック応答周期の回路シミュレーション結果を図14に示す。ET型D-FFでは、クロック応答周期が294[ns]の場合は、MS型D-FFと同様に回路シミュレ-

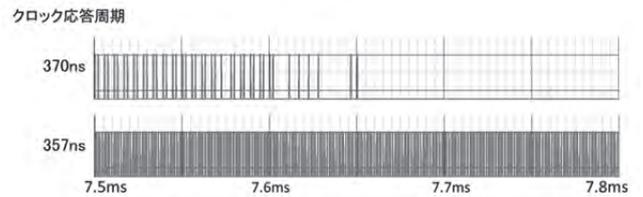


図 13. MS 型 D-FF のクロック応答周期の求値

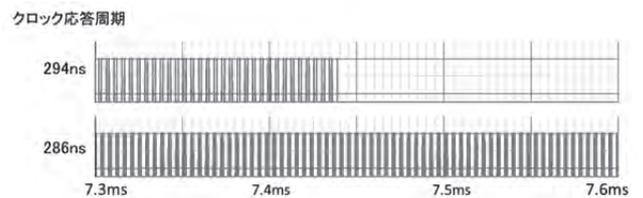


図 14. ET 型 D-FF のクロック応答周期の求値

ーション開始からしばらくは符号誤りが発生しているがD-FFの出力信号が安定すると符号誤りが発生せず、BERが 10^{-4} 以下となっていることを確認した。

一方、クロック応答周期が286[ns]の場合はD-FFの出力信号レベルが安定しても符号誤りが発生し続け、BERが 10^{-4} 以上となることを確認した。このことから、ET型D-FFのクロック応答周期を294[ns]とした。これより、ET型D-FFのクロック応答周期は、MS型に対し、0.795倍となった。

今回はDPIの定義にクロック応答周期の逆数であるクロック応答速度を採用したが、他の遅延時間に関しても、MS型D-FFとET型D-FFとの比較を行った。

動作遅延時間については、図15に示すように過渡解析からMS型D-FFの出力波形の立ち上がり時間は47.3[ns]、立ち下がり時間は69.5[ns]であり、MS型D-FFの動作遅延時間は定義より58.4[ns]となった。

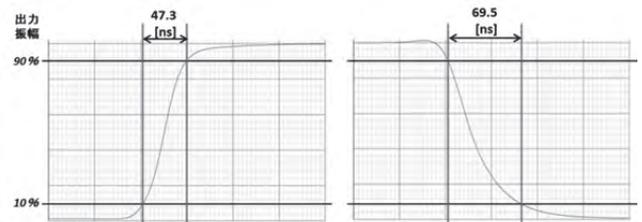


図 15. MS 型 D-FF の動作遅延時間の求値

同様に、図16に示すように、ET型D-FFの出力波形の立ち上がり時間は56.2[ns]、立ち下がり時間は68.1[ns]であり、ET型D-FFの動作遅延時間は定義より62.15[ns]と

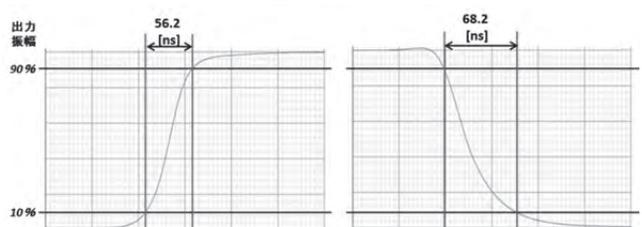


図 16. ET 型 D-FF の動作遅延時間の求値

なり、MS 型に対し、1.064 倍とほぼ同程度となった。

伝搬遅延時間については、図 17 に示すように過渡解析から MS 型 D-FF の出力波形の立ち上がり時間は 280[ns]、立ち下がり時間は 244[ns]であり、MS 型 D-FF の伝搬遅延時間は定義より 262[ns]となった。

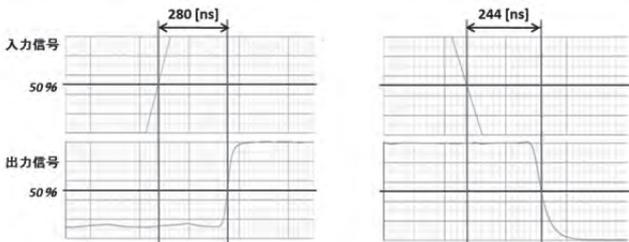


図 17. MS 型 D-FF の伝搬遅延時間の求値

同様に、図 18 に示すように ET 型 D-FF の出力波形の立ち上がり時間は 114[ns]、立ち下がり時間は 343[ns]である。ET 型 D-FF の伝搬遅延時間は定義より 228.5[ns]となり、この値は MS 型に対し 0.872 倍となり、クロック応答周期の結果と比較的近い値が得られた。動作遅延時間については再生された出力波形は回路内部の波形整形特性を含んでおり、必ずしも回路内部の動作速度を反映していないことが考えられる。

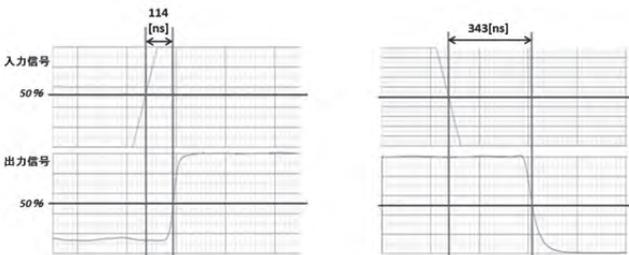


図 18. ET 型 D-FF の伝搬遅延時間の求値

以上の回路シミュレーションより求値した、各特性パラメータとクロック応答周波数を用いて定義された識別再生回路の性能指標 DPI の値を表 1 に示す。MS 型 D-FF は ET 型 D-FF に比べて消費電力は 1.1 倍、クロック応答周波数は 0.79 倍とやや劣るものの、識別不確定幅では、0.20 倍と大差で優れており、DPI では、4.3 倍大きい値が得られ、識別再生回路として使用する場合の MS 型 D-FF の優位性が明らかとなった。

表 1. 求値した識別再生回路の各特性パラメータと DPI

	MS 型	ET 型
消費電力 W [mW]	37.26	33.12
識別不確定幅 X [mV]	145	730
動作遅延時間 D_1 [ns]	58.4	62.15
伝搬遅延時間 D_2 [ns]	262	228.5
クロック応答周期 D_3 [ns]	370	294
クロック応答周波数 F [MHz]	2.70	3.40
DPI [dB · MHz/mW]	2.228	0.5145

5. まとめ

デジタル受信回路を構成する識別再生回路としての性能を評価するため、遅延時間の逆数である応答速度、消費電力、識別不確定幅の特性パラメータを一元的に評価する性能指標 DPI を考案した。遅延時間においては、出力波形の 10%–90% の立ち上がり時間、及び 90%–10% の立下り時間の平均時間で定義した動作遅延時間、入力波形が 50% 変化してから出力波形が 50% 変化するまでの立ち上がり時間、及び立下り時間の平均時間で定義した伝搬遅延時間、D-FF のデータ入力及びクロック入力に規定の信号電圧振幅を入れ、クロック信号の周期を短くした時、D-FF が規定の BER (10^{-4}) 以下で動作する限界値で定義したクロック応答周期について検討した。クロック応答周期は BER というデジタル回路の最終的な評価から求めているため、識別再生回路の実際の動作速度を最も直接的に表していると考えられる。さらにクロック応答周期の求値には識別不確定幅の求値と同一の評価系が適用できるという利点がある。DPI の定義にはクロック応答周期の逆数であるクロック応答速度を適用した。

識別再生回路は主として D-FF で構成されている。回路シミュレーションによりマスタースレーブ (MS) 型 D-FF 及びエッジトリガ (ET) 型 D-FF のクロック応答速度、消費電力、識別不確定幅の特性パラメータを求め、両タイプの D-FF の DPI を算出した。

D-FF のデータ入力部の NAND ゲートの一方にはデータ信号が入力される。もう一方の入力には MS 型 D-FF は電圧振幅が十分大きく波形の整ったクロック信号が入力されるのに対し、ET 型 D-FF ではデータ入力信号とクロック信号から生成される歪を含んだ内部信号であるため、データ入力信号電圧振幅を減少させるとこの NAND ゲートの出力波形が比較的歪みやすくなると考えられ、MS 型 D-FF 方が ET 型 D-FF より識別不確定幅が 0.20 倍と小さい結果が得られた。これが主要因となり、DPI は MS 型 D-FF の方が ET 型 D-FF と比較して 4.3 倍大きな値が得られ、識別再生回路として使用する場合の MS 型 D-FF の優位性が明らかとなった。

謝辞

本研究を遂行するに当たり、御協力頂いた株式会社京王設備サービスの針谷彬氏に感謝致します。

参考文献

- [1] 高良秀彦、大原拓也、山本貴司、山崎悦史、犬塚史一、高田篤、“マルチキャリア光発生技術および 1000 波長 WDM 伝送技術”、電子情報通信学会ソサイエティ大会、通信(2)、BCI-1-2、2008。
- [2] 小泉雄貴、豊田和志、吉田真人、中沢正隆、“1024QAM (60Gbit/s) 信号の 150km コヒーレント光伝送”、電子情報通信学会ソサイエティ大会、通信(2)、B-10-67、2012。
- [3] 大川典男、“小信号電圧増幅回路の帯域利得特性・消費電力に関する性能指標”、電子情報通信学会論文誌 Vol. J92-C No. 7、2009。
- [4] 岩田穆、“CMOS 集積回路の基礎”、科学技術出版、東京、2003。
- [5] 江藤良純、金子敏信、“誤り訂正符号とその応用”、オーム社、東京、1997。