

同符号連続と PRBS の交互信号パターンに 対応した CMOS 符号誤り検出回路の検討

Examinations of CMOS Bit Error Detection Circuits which Supported Alternation Signal Pattern of Consecutive Identical Digit and PRBS

大川 典男¹

勝又 龍平²

大島 慶太³

Norio Ohkawa

Ryuhei Katsumata

Keita Ooshima

Abstract :

Optical communication systems using the wavelength multiplex technique of 100 wavelength degree have been already commercialized, and the research and development that aimed further increase of system capacity has been continued. Digital coherent communication systems which applied multi-level modulation technology by the light phase control that it is another main technique to increase transmission capacity, are going to be of practical use near at hand. Transmission capacity increase equivalent to the product of the wavelength multiplex number and number of the bits per 1 symbol is anticipated by employing a wavelength multiplex technique and multi-level modulation technology, together. Then, the number of transmitter-receiver pairs equivalent to the product of the wavelength multiplex number and number of the bits per 1 symbol is become necessary at the same time. In the optical transmission systems, the evaluation by bit error rate performance of the transmitter-receiver pairs including the transmission line is performed not only before installation but also after installation, as necessary. Pseudo random bit sequence (PRBS) generators producing the simulated pattern of the real information signal are used for the transmission side, and bit error rate detectors to measure whether patterns of PRBS through the transmission lines are received without errors are used for the reception side. For future optical transmission systems, realization of PRBS generators and bit error rate detectors which have economy, built-in the transmission systems, and can evaluate quickly by remote control, will be hoped. The CMOS bit error detection circuits' functions which include synchronization, error counting, and monitoring control of out-synchronization are investigated under alternation signal pattern of consecutive identical digit and PRBS. The operations are confirmed through the logical circuit simulations by PSPICE.

Keywords :

PRBS, Consecutive identical digit, CMOS, Synchronization, Out-synchronization

1. まえがき

近年の爆発的な情報流通を支えるインフラ基盤である波長多重技術を用いた光通信システムは、100 波長程度のシステムはすでに商用化されており、さらなる多波長化を目指した研究開発が進められている。大容量化を達成するもうひとつの主要技術として、光位相制御による多値変調技術を適用したデジタルコヒーレント光通信システムでは、1 シンボル当たり 10 ビットの QAM 多値変調伝送実験[1]に成功しており、実用化も目前となってきた。波長多重技術と多値変調技術を組み合わせることにより、(波長多重数×1 シンボル当たりのビット数) 倍の伝送容量増大が見込まれるが、同時に、波長多重数とビット数の積に相当

する数の送受信機対が必要となる。光伝送システムの導入前は勿論、導入後も必要に応じて伝送路を含む送受信機対の符号誤り率特性による評価試験が行われるが、送信側にはランダムな情報信号の模擬パターンを発生する擬似ランダムパターン (PRBS) 発生器、受信側には送信側から通信路を通じて伝送されてきた PRBS の符号列が誤りなく受信されているか否かを測定する符号誤り率測定器が用いられる。これらの測定器は、高速特性を追求するため能動素子に化合物半導体を使用したものがほとんどであり、非常に高価であり、また評価試験を行うためには、送信側と受信側に測定者が赴き、測定器を通信システムに接続しなければならない。今後開発される多波長で多値変調技術を適用した光伝送システムには、安価でボードやチップ上に搭載することによりシステムに組み込みが可能で、必要に応じて遠隔操作により迅速に評価を実行可能な PRBS 発生回路、及び、符号誤り率測定回路の実現が望まれる。

多重化のインターフェイスである SDH を適用した基幹通信路では 7 段のスクランブルをかけているため[2]、PRBS 発生器のシフトレジスタの段数は 7 段あれば実用上最低限

¹ 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、教授

² 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、在学

³ 東京都立産業技術高等専門学校創造工学専攻電気電子工学コース、在学

必要なランダム性を確保することができるが、実際の情報信号では稀な確率ではあるが、スクランブル後に”Hi”または”Lo”の同じ符号が連続することがあり、直流成分をカットするために挿入された結合コンデンサによる低域遮断等の影響により符号間干渉を起こす事が懸念される。

前回の報告では、同符号連続の影響を評価するため、送信部に設置する CMOSFET を適用した PRBS 発生回路において、16 ビットまでの”Hi”または”Lo”の同符号を連続して発生させ、7 段の PRBS 符号列に付加する機能について回路構成を考案し、PSPICE による論理回路シミュレーションによる基本動作の確認を行った[3]。

今回、受信側に設置された同符号連続を付加した PRBS 発生回路の符号列を、送信側より伝送された同符号連続を付加した PRBS 符号列と同期させるための同期引き込み機能、同期引き込み後にエラーをカウントする機能、同期がはずれていないか監視し、同期がはずれた場合は同期要求パルスが発生させる機能について、回路構成を検討し、各機能を有するこれらの回路について、論理回路シミュレーションにより動作確認を行ったので報告する。

2. 同符号連続と PRBS の交互信号パターンに対応した符号誤り検出回路の構成

2.1 符号誤り検出回路の概要

同符号連続発生機能を付加した PRBS 発生回路を送信側に設置し、同符号連続と PRBS の交互信号パターンをテストパターンとして受信側に設置する符号誤り検出回路において符号誤りを検出するためには、送信側と受信側で同一のテストパターンを生成し、送信側から伝送されてきたテストパターンと受信側で生成したテストパターンの同期を取る必要がある。同符号連続と PRBS の交互信号パターンの生成機能の構成は送信側と受信側ではほぼ同じであるが、受信側では電源投入時だけでなく、同期はずれ検出時に同期要求パルスを受けた時も、送信側に同期してテストパターンを生成する機能が加わっている。

同符号連続発生機能を付加した PRBS 発生部では、設定した同符号連続数の後に、PRBS を構成する 7 段のシフトレジスタを全てクリアしたオール”Lo”の初期状態から開始させ、PRBS は”Lo”のビットから出力される。設定した同符号連続の極性が”Hi”の場合は、連続後に PRBS 符号列をそのまま接続し、設定した同符号連続の極性が”Lo”の場合は、PRBS 符号列を反転させて接続し、PRBS の開始を”Hi”とするが、これは”Hi”の同符号連続+PRBS 符号列をそのまま出力するか、それらの出力を全て反転して”Lo”の同符号連続+PRBS の反転符号列を出力するかを選択することにより実現される。PRBS 符号列は”Lo”から始まり、周期の最後は”Hi”で終わるため、同符号連続の極性が”Hi”の場合、極性が”Hi”の同符号連続付加後に 7 段の PRBS 周期+1 ビットとしてテストパターンの周期の最後に PRBS 符号列の最初である”Lo”ビットが含まれるように 1 ビット多く 1 周期を設定し、このテストパターンが繰り返し発生するように回路を構成する。

図 1 に、今回考案した同符号連続と PRBS の交互信号パターンに対応した符号誤り検出回路のブロック構成を示す。

電源投入時及び同期がはずれた場合は、同期はずれ監視部において、同期要求パルス（”Hi”のレベル保持）が送

出されるように設定しておき、同符号連続&PRBS 発生部では、同符号連続数カウント部からの同符号連続エンドパルス及び、同期はずれ監視部からの同期要求パルス（”Hi”のレベル保持）の両方のパルスが入力されると、両方のパルスの AND をとることにより、同符号連続エンドパルス入力直後に PRBS を 1 周期+1 ビット分発生させ、次に設定した長さの同符号連続ビットとを交互に繰り返すテストパターンが発生し始める。また、同符号連続エンドパルスを受けると、同符号連続&PRBS 発生部は、同期要求パルスをリセットさせる信号を同期はずれ監視部へ送出する。

同期はずれ監視部では、テストパターンの 1 周期（PRBS1 周期+1+同符号連続数）毎にエラー判定部からの誤りパルスをカウントする。テストパターンの 1 周期の間に、1Gbit/s 伝送時、7 段 PRBS でのランダムな誤りでは 1 日に 1 回も起こりえない符号誤り数である 6 回[4]に、同符号連続数として設定した数を足した数だけ符号誤りが検出された場合、ランダム誤りでなく、同期がはずれたと認識し、同期要求パルス（”Hi”のレベル保持）を発生させるとともに同期はずれ監視部の内部にあるテストパターンの 1 周期カウンタ及びエラーカウント部のカウンタをリセットさせる。また、テストパターンの 1 周期の間に符号誤り数が上記に満たなかった場合、同期確認パルスを発生させ、同期はずれ監視部内部のテストパターンの 1 周期カウンタをリセットさせ、繰り返し同期はずれを監視する。

同符号連続数カウント部では、同符号連続数と符号の極性を設定しておき、送信側からのテストパターンに含まれる同符号連続数をカウントし、所定数をカウントしたらエンドパルスを同符号連続&PRBS 発生部へ送出する。

エラー判定部では、送信側からのテストパターンと、受信側で発生させ同期をとったテストパターンとを排他的論理和（XOR）に入力することにより、両者に差異の生じたビットがあると”Hi”の誤りパルスが生じるので、これをエラーカウント部及び同期はずれ監視部に送出する。

エラーカウント部では、エラー判定部から送られてきた誤りパルスをカウンタによってカウントをする。同期はずれ監視部から同期要求パルス（”Hi”のレベル保持）が送られてくると、カウンタはリセットされる。このカウンタは手動でスタート及びストップすることができ、同期はずれが生じていない間の誤り測定時間を t [sec]、伝送速度を a [bit/s]、誤りビット数を m [bit] とすると、符号誤り率（BER）は、以下の式より求めることができる。

$$BER = \frac{m}{a \cdot t} \dots (1)$$

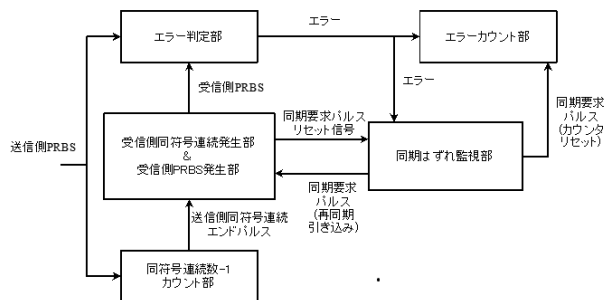


図 1. 同符号連続と PRBS の交互信号パターンに対応した符号誤り検出回路のブロック構成

2.2 受信側同符号連続発生部&受信側 PRBS 発生部の概要

図 2 に受信側同符号連続発生部&受信側 PRBS 発生部のサブブロック構成を示す。このサブブロック構成において、PRBS 発生部は、図 3 の回路構成に示すように、D-FF による 7 段のシフトレジスタと EX-OR で構成されている。7 段の原始多項式として x^7+x^6+1 を用い[5]、1 周期が $2^7-1=127$ ビットの PRBS 符号の繰り返しパターンを図中※3 の PRBS 出力端子から発生することができる。図中※2 のクリア制御信号入力端子は、シフトレジスタを構成する D-FF を全てリセット状態である “Lo” に戻し、PRBS を初期状態にするための端子である。

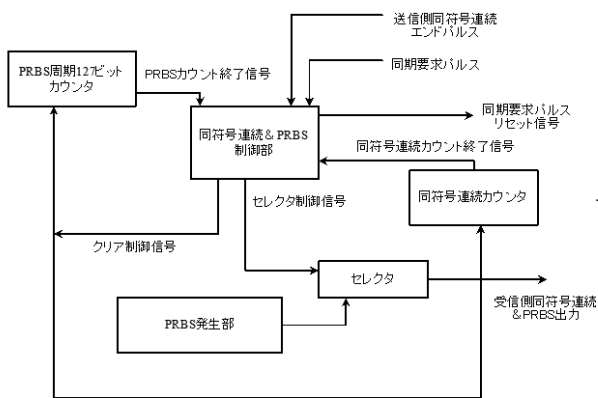
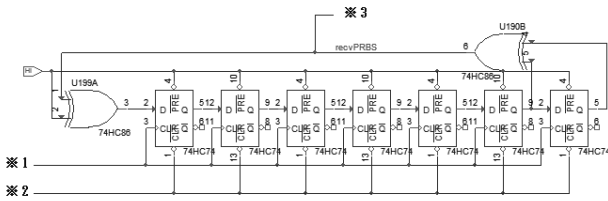


図 2. 受信側同符号連続発生部&受信側 PRBS 発生部のサブブロック構成



※1…クロック入力端子、※2…クリア制御信号入力端子、※3…PRBS 出力端子

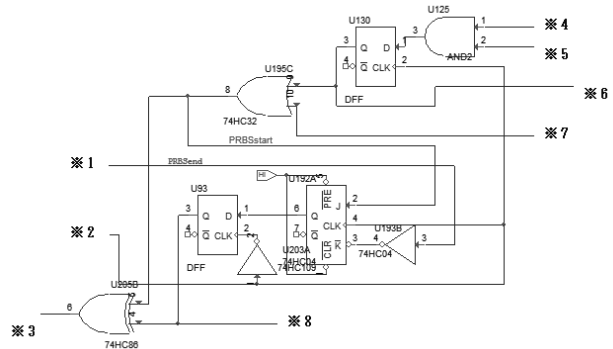
図 3. PRBS 発生部の回路構成

図 4 の回路構成に示す同符号連続及び PRBS 制御部は、図 5 に回路構成を示す PRBS 周期 127 ビットカウンタ、及び、図 6 に回路構成を示す同符号連続カウンタに対するクリア制御信号 (Hi レベルならば PRBS 信号を、Lo レベルならば同符号連続信号を発生) を発生させる機能、同符号連続信号あるいは PRBS 信号のいずれかを図 7 の回路構成に示すセレクタにおいて選択するためのセレクタ制御信号 (Hi レベルならば PRBS 信号を、Lo レベルならば同符号連続信号を選択) を発生させる機能、同期要求パルスのリセット信号を発生させる機能を有する。

PRBS 周期 127 ビットカウンタのカウンタにより PRBS カウント終了信号が Hi レベルになると、同符号連続&PRBS 制御部にある JK-FF により、クリア制御信号が Lo レベルになり、PRBS 周期 127 ビットカウンタのリセット、同符号連続カウンタのカウンタが開始される。同時にセレクタ制

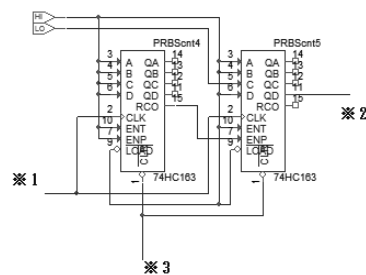
御信号出力が Lo レベルになり、同符号連続信号が出力される。

回路内の同符号連続カウンタのカウンタにより同符号連続カウンタ終了信号が Hi レベルになると、同符号連続&PRBS 制御部にある JK-FF により、クリア制御信号が Hi レベルになり、同符号連続カウンタのリセット、PRBS 周期 127 ビットカウンタが開始される。同時にセレクタ制御信号出力が Hi レベルになり、PRBS 信号が出力される。



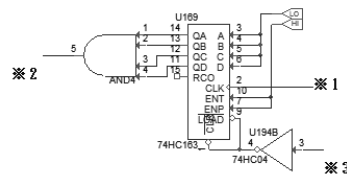
※1…PRBS カウント終了信号入力端子、
 ※2…クロック入力端子、※3…クリア制御信号出力端子
 ※4…送信側同符号連続エンドパルス入力端子
 ※5…同期要求パルス入力端子
 ※6…同期要求パルスリセット信号出力端子
 ※7…同符号連続カウンタ終了信号入力端子
 ※8…セレクタ制御信号出力端子

図 4. 同符号連続&PRBS 制御部の回路構成



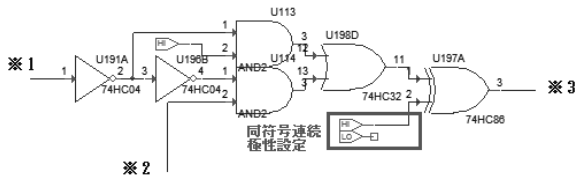
※1…クロック入力端子、※2…PRBS カウント終了信号出力端子、※3…クリア制御信号入力端子

図 5. PRBS 周期 127 ビットカウンタの回路構成



※1…クロック入力端子、※2…同符号連続カウンタ終了信号出力端子、※3…クリア制御信号入力端子

図 6. 同符号連続カウンタの回路構成



※1…セクタ制御信号入力端子、※2…PRBS 入力端子
 ※3…受信側同符号連続&PRBS 出力端子

図 7. セクタの回路構成

2.3 同期はずれ監視部の概要

図 8 に同期はずれ監視部のサブブロック構成を示す。このサブブロックにおいて、図 9 に回路構成を示す、立ち上げ時同期要求パルス発生回路は、電源投入時に受信側同符号連続発生部&受信側 PRBS 発生部を動作させるために、図 10 に示す、同期要求パルス制御部へ Hi レベルの信号を送り続ける。

そして受信側同符号連続発生部及び受信側 PRBS 発生部から同期要求パルスリセット信号がくるとそれ以降”Lo”レベルとなり、電源投入時の同期要求を終了する。

符号誤り検出回路のエラー判定部からの誤りパルスを図 11 に回路構成を示す、同期はずれカウンタでカウントし、テストパターン 1 周期にランダム誤りでは 1 日に 1 回も起こりえない符号誤り数である 6 回に、同符号連続数を足した数だけ符号誤りがあった場合、同期はずれカウンタのカウントをストップし、同期要求パルス制御部へ同期はずれ信号(”Hi”レベル保持)を送る。同期要求パルス制御部では、受信側同符号連続発生部&受信側 PRBS 発生部からの同期要求パルスリセット信号が送られてくるまで同期要求パルス(”Hi”レベル保持)を送出し続ける。

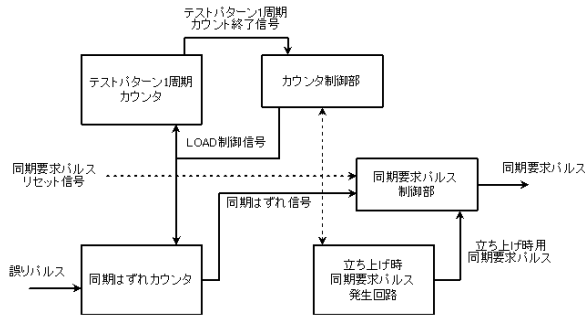
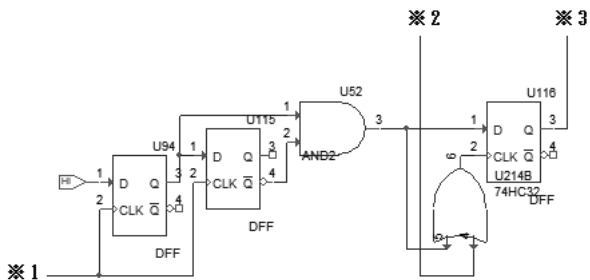
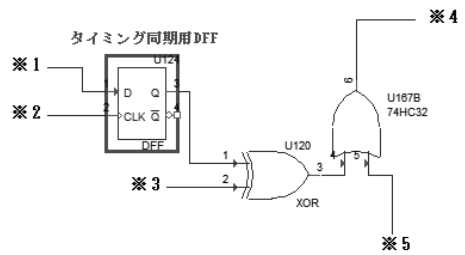


図 8. 同期はずれ監視部のサブブロック構成



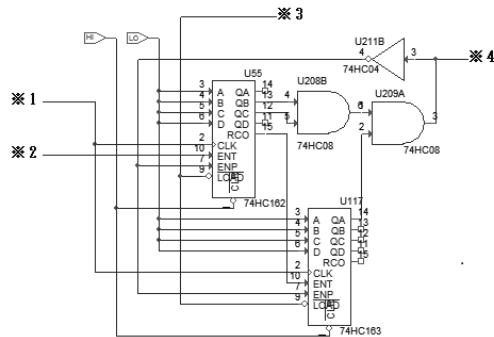
※1…クロック入力端子、※2…同期要求パルスリセット信号入力端子、※3…立ち上げ時同期要求パルス出力端子

図 9. 立ち上げ時同期要求パルス発生回路の回路構成



※1…同期はずれ信号入力端子、※2…クロック入力端子、※3…同期要求パルスリセット信号入力端子、※4…同期要求パルス出力端子、※5…立ち上げ時同期要求パルス入力端子

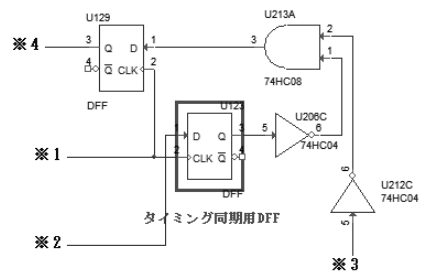
図 10. 同期要求パルス制御部の回路構成



※1…クロック入力端子、※2…誤りパルス入力端子、※3…LOAD 制御信号入力端子、※4…同期はずれ信号出力端子

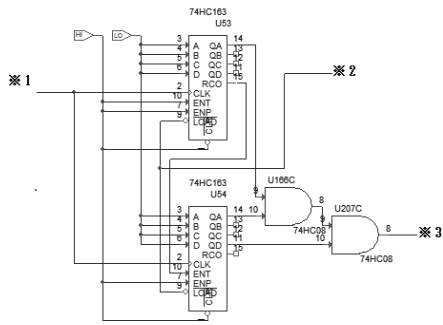
図 11. 同期はずれカウンタの回路構成

次に、同期要求パルスリセット信号が送られてくると同期要求パルスを”Lo”レベルに戻し、図 12 に回路構成を示すカウンタ制御部からの LOAD 制御信号によって、図 13 に回路構成を示す、テストパターン 1 周期 (PRBS 周期+1+同符号連続数) カウンタ及び、同期はずれカウンタをリセットする。



※1…クロック入力端子、※2…テストパターン 1 周期カウンタ終了信号入力端子、※3…同期要求パルスリセット信号入力端子、※4…LOAD 制御信号出力端子

図 12. カウンタ制御部の回路構成



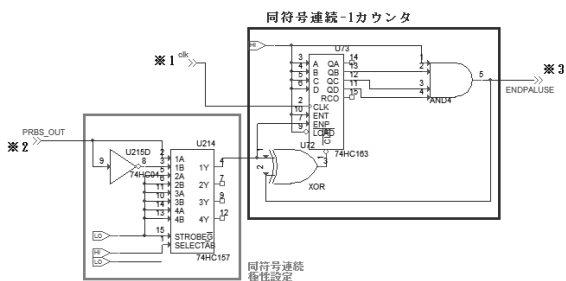
※1…クロック入力端子、※2…LOAD 制御信号入力端子、
※3…テストパターン 1 周期カウンタ終了信号出力端子

図 13. テストパターン 1 周期カウンタの回路構成

2.4 同符号連続数-1 カウンタ部の概要

図 14 に回路構成を示す、同符号連続数-1 カウンタ部では、セクタ制御端子 (SELECTAB) により直前の NOT 回路を経由するか否かによって同符号連続の極性が設定される。すなわち、SELECTAB が、” Hi” レベルの時、セクタの 1B 端子がセレクトされ、テストパターンを反転した信号が同符号連続-1 カウンタに入力され、送信側テストパターンの同符号連続符号の極性が” Lo” ならば、同符号連続数-1 カウンタのカウントが開始される。同様に、SELECTAB が、” Lo” レベルの時、セクタの 1A 端子がセレクトされ、テストパターンそのものが同符号連続-1 カウンタに入力され、送信側テストパターンの同符号連続符号の極性が” Hi” ならば、同符号連続数-1 カウンタのカウントが開始される。また、送信側からのテストパターンの同符号連続数を同符号連続数-1 カウンタによってカウントをする。ここで、同符号連続&PRBS 制御部内部の D-FF におけるタイミング調整のため、このカウンタのカウント数を設定した同符号連続数-1 に設定した。

設定した連続数に達する前に、設定した極性以外の符号が来ると、同符号連続ビットにおいて同期はとれていないと判断し、同符号連続数-1 カウンタは直にリセットし、改めてカウントを開始する。設定した同符号連続数までのカウントを終えると” Hi” レベルの同符号連続カウント終了パルスを受信側同符号連続発生部&受信側 PRBS 発生部へ送出し、これを基に送信側テストパターンと同期の取れたテストパターンが受信側で生成される。

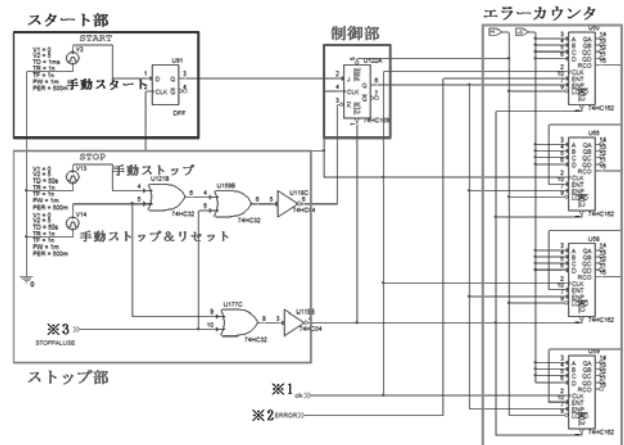


※1…クロック入力端子、※2…テストパターン入力端子、
※3…同符号連続カウント終了パルス出力端子

図 14. 同符号連続数-1 カウンタ部の回路構成

2.5 エラーカウント部の概要

図 15 にエラーカウント部の回路構成を示す。スタート部の手動スタートによってエラーカウントをスタートし、エラー判定部から” Hi” レベルの誤りパルスが来るとエラーカウンタでカウントを累積する。また、同期はずれ監視部から同期要求パルスを受けると回路内のカウンタ値を全て初期値である” Lo” レベルにリセットする。ストップ部の手動ストップ端子を” Hi” レベルにすると、回路内のカウンタをリセットせずにカウンタの動作を一時的にストップさせることができる。ストップ部の手動ストップ&リセット端子を” Hi” レベルにすると、カウンタの動作をストップさせると同時に、カウンタ値を全て” Lo” レベルにリセットする。

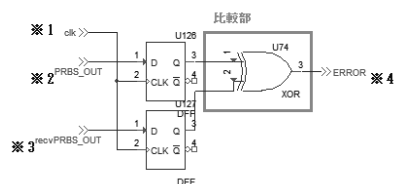


※1…クロック入力端子、※2…同期要求パルス入力端子、
※3…誤りパルス入力端子

図 15. エラーカウント部の回路構成

2.6 エラー判定部の概要

図 16 にエラー判定部の回路構成を示す。送信側テストパターン信号および受信側テストパターン信号の両者の排他的論理和 (XOR) をとることにより、符号誤りがあった場合は、エラーカウンタ部、及び同期はずれ監視部へ誤りパルスとして” Hi” レベルのパルスを送り出す。クロック同期を確実に取るため、送信側テストパターン信号および受信側テストパターン信号をそれぞれの D-FF で受け、それぞれの D-FF 出力を XOR の入力とした。



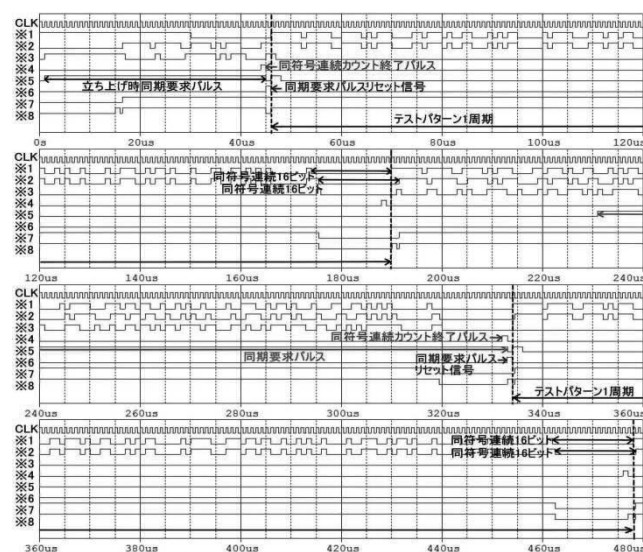
※1…クロック入力端子、※2…送信側テストパターン入力端子、
※3…受信側テストパターン入力端子、※4…誤りパルス出力端子

図 16. エラー判定部の回路構成

3. シミュレーション結果と考察

今回考案した同符号連続と PRBS の交互信号パターンをテストパターンとした符号誤り率検出回路について、PSPICE を用いた論理シミュレーションを行った。テストパターンの1周期は、7段 PRBS の1周期である $2^7-1=127$ ビットに、同符号連続数 16 ビット及び、PRBS の終わりのビットと同符号連続ビットの極性が同じであるため、その間に極性を反転した 1 ビットを挿入し、これらを加えた 144 ビットである。論理シミュレーションでは論理の状態のみをチェックしており、周波数特性は考慮されないため、クロック周波数の絶対値は特に意味を持たないが、ここでは1クロックを1MHzに設定しており、クロック1周期は147 μs となる。同符号連続の極性は“Lo”に設定した。

図 17 に符号誤り率検出回路の動作に関する論理シミュレーション結果を示す。



※1…エラー判定回路の送信側テストパターン、※2…エラー判定回路の受信側テストパターン、※3…エラー判定回路の誤りパルス、※4…同符号連続数-1 カウント部の同符号連続カウント終了パルス、※5…同期はずれ監視部の同期要求パルス、※6…受信側同符号連続発生部&PRBS 発生部の同期要求パルスリセット信号、※7…受信側同符号連続発生部&PRBS 発生部のセクタ制御信号、※8…受信側同符号連続発生部&PRBS 発生部のクリア制御信号

図 17. 符号誤り検出回路の論理シミュレーション結果

シミュレーション開始後、電源投入時に対応するが、同期はずれ監視部の同期要求パルスは、受信側同符号連続発生部&PRBS 発生部の同期要求パルスリセット信号が立ち上がるまでは、Hi レベルが保持されている。

送信側からのテストパターンにおいて、同符号連続の最終ビットが見つかったと、Hi レベルの同符号連続カウント終了パルスが送出される。次のクロック時には同期要求パルスリセット信号が Hi レベル送出され、同期要求パルスを Lo レベル保持に変更するとともに、同時に受信側同符号連続&PRBS 発生部より、PRBS の最初からテストパターンが送出されるが、送信側のテストパターンと同期がとれてい

ることを、エラー判定回路に Hi レベルの誤りパルスが生じていないことから確認した。(48 μs ~174 μs)

再同期引き込み確認のため、テストパターンの最後に同符号連続と極性が反転したビットを通常の 1 ビットからひとつ増やして 2 ビットとして、同期はずれを人為的に起こした。同期はずれ監視部では、PRBS1 周期において、ランダム誤りでは 1 日に 1 回も起こりえない 6 ビット+同符号連続数 16 ビット=22 ビットの誤りを確認すると、同期要求パルスは再び Hi レベル保持に切り替え、電源投入時と同様に、同符号連続エンドパルスが立ち上がり、送信側からのテストパターンにおいて同符号連続の最終ビットを見つけ、同様に、同符号連続カウント終了パルス送出を行い、同期要求パルスのリセット、PRBS の最初からテストパターンが送出され、送信側テストパターンと再同期がとれたことをエラー判定回路の誤りパルスが生じなくなったことから確認した。(334 μs ~462 μs)

4. まとめ

光通信システムの総合評価に必要な受信側に設置される符号誤り検出回路について、CMOSFET を適用し、16 ビットまでの”Hi レベル”または”Lo レベル”の同符号連続と PRBS の交互信号パターンに対応した回路構成を検討し、論理回路シミュレーションにより所望の動作が得られていることを確認した。

今後は符号誤り検出回路において、符号誤り率として表示する機能の検討、ブレッドボード実装や FPGA による動作確認を行う予定である。

参考文献

- [1] 小泉雄貴、豊田和志、吉田真人、中沢正隆、“1024QAM(60Gbit/s)信号の150km コヒーレント光伝送”、電子情報通信学会ソサイエティ大会、通信(2)、B-10-67、2012.
- [2] 島田禎吾、河西宏之、榎一光、辻久雄、“SDH 伝送方式”、オーム社、1993.
- [3] 大川典男、中村優吾、大島慶太、“同符号連続発生機能を付加した CMOS 疑似ランダム発生回路の検討”、東京都立産業技術高等専門学校研究紀要 No. 8、2014.
- [4] 大川典男、大島慶太、芹澤和明、“論理回路シミュレーションによる CMOS 符号誤り率測定回路の基本検討”、東京都立産業技術高等専門学校研究紀要 No. 7、2013.
- [5] 今井秀樹、“符号理論”、電子情報通信学会、2007.