

同符号連続発生機能を付加した CMOS 疑似ランダム発生回路の検討

Examinations for CMOS Pseudo Random Pulse Generation Circuits with Consecutive Identical Digit Generative Function through The Logical Circuit Simulations

大川 典男¹

中村 優吾²

大島 慶太³

Norio Ohkawa

Yuugo Nakamura

Keita Ooshima

Abstract :

Transmission capacity increase equivalent to the product of the wavelength multiplex number and number of the bits per 1 symbol is anticipated by employing wavelength multiplex technique and QAM adaptive modulation technology, together. The number of transmitter-receiver pairs equivalent to the product of the wavelength multiplex number and number of the bits per 1 symbol is become necessary at the same time. In the optical transmission systems, the evaluation by bit error rate performance of the transmitter-receiver pairs including the transmission line is performed not only before installation but also after installation, as necessary. Pseudo random bit sequence (PRBS) generators producing the simulated pattern of the real information signal are used for the transmission side, and bit error rate detectors to measure whether patterns of PRBS through the transmission lines are received without errors, are used for the reception side. For future optical transmission systems, realization of PRBS generators and bit error rate detectors which have economy, built-in the transmission systems, and can evaluate quickly by remote control, will be hoped. The seven-stage PRBS generation circuits which are added consecutive identical digit generative function up to 16 bit, are designed and the operations are confirmed through the logical circuit simulations by PSPICE.

Keywords :

PRBS, Consecutive identical digit, CMOS, Synchronization

1. まえがき

光通信技術の飛躍的な進展により 1000 波長の波長多重伝送実験[1]、光位相制御により 1 シンボル当たり 10 ビットの QAM 多値変調伝送実験[2]が行われている。波長多重技術と多値変調技術を組み合わせることにより、(波長多重数×1 シンボル当たりのビット数) 倍の伝送容量増大が見込まれるが、同時に、波長多重数とビット数の積に相当する数の送受信機が必要となる。光伝送システムの導入前は勿論、導入後も必要に応じて伝送路を含む送受信機対の符号誤り率特性による評価試験が行われるが、送信側にはランダムな情報信号の模擬パターンを発生する疑似ランダムパターン (PRBS) 発生器、受信側には送信側から通信路を通じて伝送されてきた PRBS の符号列が誤りなく受信されているか否かを測定する符号誤り率測定器が用いられる。これらの測定器は、高速特性を追求するため能動素子に化合物半導体を使用したものがほとんどであり、非常に高価であり、また評価試験を行うためには、送信側と受信側に

測定者が赴き、測定器を通信システムに接続しなければならない。今後開発される多波長で多値変調技術を適用した光伝送システムには、安価でシステムに組込みが可能で、必要に応じて遠隔操作により迅速に評価を実行可能な PRBS 発生回路、及び、符号誤り率測定回路の実現が望まれる。

前回の報告では、CMOSFET を適用した符号誤り率測定回路の基本機能である、受信側に設置された PRBS 発生回路の符号列を送信側より伝送された PRBS 符号列と同期させる同期引き込み機能、同期引き込み後にエラーをカウントする機能、同期がはずれていないか監視し、同期がはずれた場合は同期要求パルスが発生させる機能について、回路構成を検討し、各機能を有するこれらの回路について、論理回路シミュレーションを通じて、基本動作の確認を行った[3]。

SDH 方式の基幹通信路では 7 段のスクランブルをかけているため[4]、PRBS 発生器のシフトレジスタの段数は 7 段あれば実用上最低限必要なランダム性を確保することができるが、実際の情報信号では稀な確率ではあるが、スクランブル後に“1”または“0”の同じ符号が連続することがあり、直流成分をカットするために挿入された結合コンデンサによる低域遮断等の影響により符号間干渉を起こす事が懸念される。今回、同符号連続の影響を評価するため、送信部に設置する CMOSFET を適用した PRBS 発生回路において、16 ビットまでの“1”または“0”の同符号を連続し

¹ 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、教授

² 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、在学

³ 東京都立産業技術高等専門学校創造工学専攻電気電子工学コース、在学

て発生させ、7段の PRBS 符号列に付加する機能について回路構成を考案し、PSPICE による論理回路シミュレーションにより動作の確認を行ったので報告する。

2. 同符号連続発生機能を付加した PRBS 発生回路の構成

同符号連続発生機能を付加した PRBS をテストパターンとして用いて符号誤りを検出するためには、送信側と受信側で同一の繰り返しテストパターンを生成し、受信側で伝送されてきたテストパターンと受信側で生成したテストパターンの同期を取る必要がある。このため、送信側に設置される同符号連続発生機能を付加した PRBS 発生回路では、設定した同符号連続数の後に、PRBS を構成する 7 段のシフトレジスタを全てクリアしたオール“0”の初期状態から開始させることとした。このとき、PRBS は“0”のビットから出力される。設定した同符号連続の極性が“1”の場合は、連続後に PRBS 符号列をそのまま接続してよいが、設定した同符号連続の極性が“0”の場合は、PRBS 符号列をそのまま接続すると、設定した連続数が増加してしまう。また、PRBS 符号列は“0”から始まり、周期の最後は“1”で終わるため、同符号連続の極性が“1”の場合、PRBS の 1 周期の後にすぐに同符号連続ビットを挿入すると、2 周期以降は設定した同符号連続数が増加してしまう。前者の課題を解決するには、“1”を同符号連続に設定する場合は、同符号連続付加後に PRBS 符号をそのまま接続し、“0”を同符号連続に設定する場合は、PRBS 符号列を反転させて接続し、PRBS の開始を“1”とすることで解決できるが、これは“1”の同符号連続+PRBS 符号列をそのまま出力するか、それらの出力を全て反転して“0”の同符号連続+PRBS の反転符号列を出力するかを選択することにより実現できる。後者の課題は、極性が“1”の同符号連続付加後に 7 段の PRBS 周期+1 ビットとしてテストパターンの周期の最後に PRBS 符号列の最初である“0”ビットが含まれるように 1 ビット多く 1 周期を設定し、このテストパターンが繰り返し発生するように回路を構成することにより解決できる。

図 1 に今回考案した同符号連続付加機能付き PRBS 発生回路のブロック構成を示す。同符号連続数カウンタでは、所望の同符号連続数を設定し、電源投入後、スタートパル

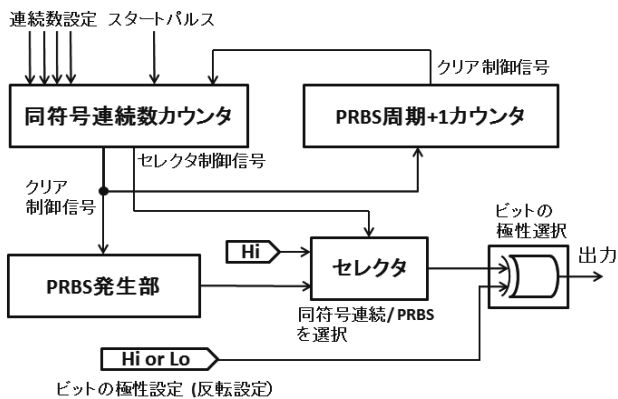
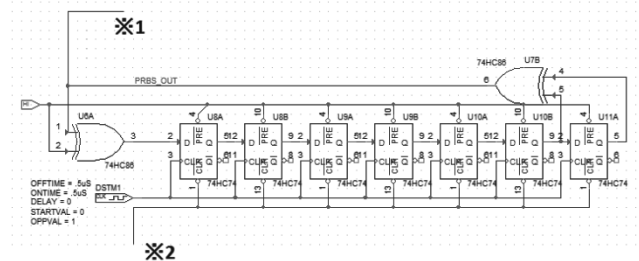


図 1. 同符号連続付加機能付き PRBS 発生回路のブロック構成

スを入力することにより、同符号連続数カウンタはクリア状態から解放され、カウントを開始する。同時に Hi レベルのセレクタ制御信号を送出し、セレクタは極性“1”の同符号を選択する。カウントが設定した連続数に達すると Hi レベルのクリア制御信号を送出して PRBS 発生部及び PRBS 周期+1 カウンタをクリア状態から解放し、PRBS 発生部では初期値から PRBS 符号列を発生し、PRBS 周期+1 カウンタはカウントを開始する。同時に Lo レベルのセレクタ制御信号を送出し、セレクタは“1”から PRBS に切り替わる。また、同時に同符号連続数カウンタはクリア状態になり、カウントを停止する。PRBS 周期+1 カウンタが所定数のカウント数に達すると、同符号連続数カウンタに対し、Hi レベルのクリア制御信号を送出し、同符号連続数カウンタのカウントを開始させる。これより、同符号連続数+PRBS 周期+1 を周期とした繰り返しテストパターンを生成することができる。なお、セレクタ出力は“1”を同符号連続としたテストパターンとなる。ビットの極性設定値とセレクタ出力を EX-OR の入力とすることで、ビットの極性設定が“0”の時は、EX-OR の出力はセレクタ出力がそのまま、つまり“1”を同符号連続としたテストパターンが EX-OR から出力され、ビットの極性設定が“1”の時は、EX-OR の出力はセレクタ出力の反転、つまり“0”を同符号連続としたテストパターンが EX-OR から出力される。これよりビット極性設定は反転設定となっており、所望の同符号連続ビットの極性と反転した値を設定することにより、所望の極性を持った同符号連続が付加された繰り返しテストパターンが生成できる。

図 2 に今回適用した PRBS 発生部の回路構成を示す。D-FF による 7 段のシフトレジスタと EX-OR で構成されている。7 段の原始多項式として x^7+x^6+1 を用い[5]、1 周期が $2^7-1=127$ ビットの PRBS 符号の繰り返しパターンを図中※1 の PRBS 出力端子から発生することができる。図中※2 のクリア制御信号入力端子は、シフトレジスタを構成する D-FF を全てリセット状態である“0”に戻し、PRBS を初期状態にするための端子である。

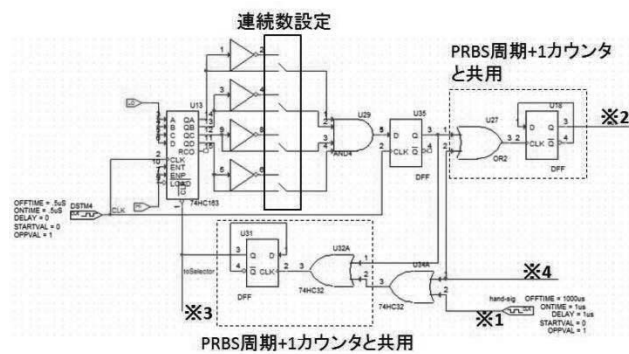


※1 PRBS 出力端子、 ※2 クリア制御信号入力端子

図 2. PRBS 発生部の回路構成

図 3 に同符号連続数カウンタの回路構成を示す。電源投入後、図中※1 にスタートパルスを入力し、図中※2 で初期状態では Lo レベルとなっている PRBS 周期+1 カウンタのクリア制御信号を Hi レベルに変えて送出し、PRBS 周期+1 カウンタをクリア状態から解放してオール 0 からカウントを開始させる。初期状態では図中※3 のセレクタ制御信号出力端子は Lo レベルとなっているが、図中※4 端子に

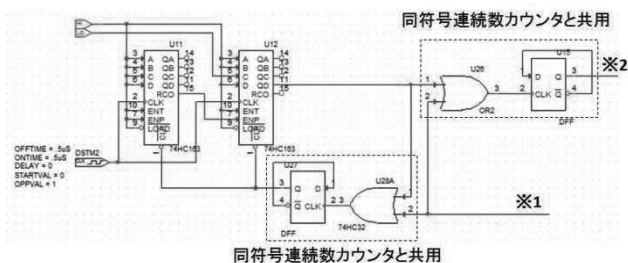
PRBS 周期+1 カウンタからのクリア制御信号パルスが入力されると 16 ビットカウンタをクリアしてオール 0 からカウントさせると同時に図中※3 のセクタ制御信号出力端子を Hi レベルに変え、“1”の同符号を選択する制御信号をセクタへ送出する。設定した連続数まで 16 ビットカウンタがカウントするとこのカウンタのクリア端子を Lo レベルに変え、クリア状態にしてカウントを停止するとともに図中※3 のセクタ制御信号出力端子を再び Lo レベルに変え、PRBS 符号を選択する制御信号をセクタへ送出する。この時、同時に図中※2 で初期状態では Lo レベルとなっている PRBS 発生部、PRBS 周期+1 カウンタに対するクリア制御信号を Hi レベルに変えて送出し、PRBS 発生部、PRBS 周期+1 カウンタをクリア状態から解放してオール 0 からカウントを開始させる。



- ※1 スタートパルス入力端子
- ※2 クリア制御信号出力端子
- ※3 セクタ制御信号出力端子
- ※4 クリア制御信号入力端子

図3. 同符号連続数カウンタの回路構成

図4にPRBS 周期+1 カウンタの回路構成を示す。図中※1に電源投入後の初期状態では Lo レベルとなっている PRBS 周期+1 カウンタへのクリア制御信号が Hi レベルになると、16 ビットカウンタを 2 段縦続接続した PRBS 周期+1 カウンタがクリア状態から解放され、7 段 PRBS 周期である 127 ビットに 1 ビットを加えた 128 ビットまでカウントを開始する。128 ビットに達すると、それぞれの 16 ビットカウンタのクリア端子を Lo レベルに変え、カウンタ値がオ

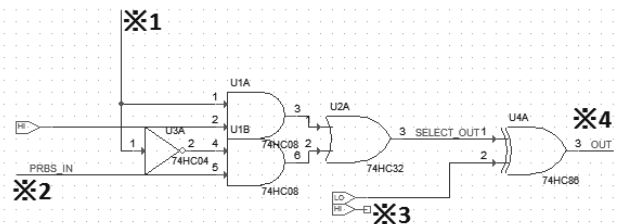


- ※1 カウンタクリア制御信号入力端子
- ※2 カウンタクリア制御信号出力端子

図4. PRBS 周期+1 カウンタの回路構成

ール 0 となると同時に、図中※2 より初期状態では Lo レベルである同符号連続数カウンタへのクリア制御信号を Hi レベルに変えて送出し、同符号連続数カウンタをクリアから解放して 0 から設定した連続数までカウントを開始させる。

図5にセクタ及びビットの極性選択の回路構成を示す。同符号連続数に相当するクロック数に相当する時間は同符号連続数カウンタから Hi レベルのセクタ制御信号が図中の※1に入力され、この間は“1”がセクタから出力される。その後、セクタ制御信号が Lo レベルに変わり、図中の※2の端子に入力されている PRBS 符号列が選択され、セクタから出力される。セクタ制御信号が Hi レベルから Lo レベルに変わるとき、同時に PRBS 発生部は初期状態にリセットされるので、“1”の同符号連続に続いて PRBS 符号列が初期値よりセクタから送出される。図中の※3は同符号連続ビットの極性を設定する端子であり、Lo レベルに設定すると EX-OR によりセクタ出力がそのまま図中の※4の出力端子より出力されるので、同符号連続ビットの極性は“1”となる。Hi レベルに設定した場合は EX-OR によりセクタ出力は反転し、同符号連続ビットの極性は“0”となる。



- ※1 セクタ制御信号入力端子
- ※2 PRBS 符号入力端子
- ※3 ビットの極性設定 (Lo:連続ビットの極性“1”、Hi:連続ビットの極性“0”)
- ※4 同符号連続付加機能付き PRBS 符号出力端子

図5. セクタ及びビットの極性選択の回路構成

3. シミュレーション結果と考察

考案した同符号連続付加機能付き PRBS 発生回路について PSPICE を用いた論理シミュレーションを行った。PRBS は 7 段構成としたので、PRBS の 1 周期は 127 ビットとなる。論理シミュレーションでは論理の状態のみをチェックしており、周波数特性は考慮されないため、クロック周波数の絶対値は特に意味を持たないが、ここでは 1 クロックを 1MHz に設定しており、クロック 1 周期は 1μs となる。図6、図7にビットの極性が“1”の同符号連続を付加した場合の同符号連続数をそれぞれ 8、16 としたときのテストパターン生成について、論理シミュレーションを行った結果を示す。考案した回路は 16 ビットまでの任意の同符号連続数を設定可能であるが、7 ビット以下は PRBS の信号に含まれており、設定する意味はないため、8~16 ビットでの同符号連続数の設定について確認を行った。図中の CLEAR CONTROL は同符号連続数カウンタのクリア制御信号、SELECTOR CONTROL は同符号連続数カウンタのセクタ制御

信号、PRBS は PRBS 発生部の PRBS 出力を示している。CLEAR CONTROL が Hi レベルになると PRBS 発生部は初期値より PRBS 符号列を発生させ、SELECTOR CONTROL が Hi レベルから Lo レベルになると同符号連続“1”信号から初期値からの PRBS 符号列に切り替わって出力されることが確認できた。図6、図7より、“1”の極性の同符号が所定数だけ連続しており、その後7段 PRBS 符号列1周期分のビット(127ビット)及び同符号の極性と反転したビットが一つ加わったテストパターン(同符号連続数が8ビットの場合は136ビット、16ビットの場合は144ビット)が、繰り返し生成されていることが確認できた。この繰り返しテストパターンを受信部にも用意し、送信部から伝送されてきた繰り返しテストパターンとの同期を取ることで同符号連続が付加された PRBS による符号誤り率の測定が可能となる。



図6. 8ビットの同符号連続“1”信号を含むテストパターン生成の論理シミュレーションによる確認



図7. 16ビットの同符号連続“1”信号を含むテストパターン生成の論理シミュレーションによる確認

図8、図9にビットの極性が“0”の同符号連続を付加したときの同符号連続数をそれぞれ8、16ビットとしたときのテストパターン生成について、論理シミュレーションを行った結果を示す。CLEAR CONTROL が Hi レベルになると PRBS 発生部は初期値より PRBS 符号列を発生させ、SELECTOR CONTROL が Hi レベルから Lo レベルになると同符号連続“0”信号から反転した初期値からの PRBS 符号列に切り替わって出力されることが確認できた。“0”の極性の同符号が所定数だけ連続しており、その後反転した PRBS 符号列の1周期分のビット(127ビット)及び同符号の極性と反転したビットが一つ加わったテストパターン(同符号連続数が8ビットの場合は136ビット、16ビット

の場合は144ビット)が、繰り返し生成されていることが確認できた。

これらの論理シミュレーション結果より、各機能ブロックが設計通り正しく機能しており、同符号連続付加機能付き PRBS 発生回路として極性が“1”及び“0”の両方について、16ビットまでの同符号を付加する機能を有していることを確認した。なお、同符号連続数カウンタを2段縦続接続した構成をとることにより、所望する同符号連続数が16ビットを越える場合にも対応することが可能である。



図8. 8ビットの同符号連続“0”信号を含むテストパターン生成の論理シミュレーションによる確認



図9. 16ビットの同符号連続“0”信号を含むテストパターン生成の論理シミュレーションによる確認

4. まとめ

光通信システムの総合評価に必要な、送信側に設置される擬似ランダムパターン (PRBS) 発生回路について、CMOSFETを適用し、16ビットまでの“1”または“0”の同符号連続発生機能を付加する回路構成を検討し、論理回路シミュレーションにより動作確認をおこなった。

同符号連続数を所定通りに設定するため、“1”を同符号連続に設定する場合は、同符号連続付加後に PRBS 符号列を初期値よりそのまま接続した。“0”を同符号連続に設定する場合は、同符号連続付加後に初期値からの PRBS 符号列を反転させて接続したが、これらを実現するため“1”の同符号連続+PRBS 符号列をそのまま出力するか、それらの出力を全て反転した“0”の同符号連続+PRBS 符号列の反転を出力するかを選択する回路構成を考案し、論理シミュレーションより正しく動作することを確認した。さらに、極性が“1”の同符号連続付加後に7段の PRBS ($2^7 - 1 = 127$ ビット)周期+1ビットとしてテストパターンの周

期の最後に PRBS の最初である“0”ビットが含まれるようにして1周期を設定することにより、このテストパターンを繰り返し発生させても同符号連続数が所定通りに設定されていることを論理シミュレーションより確認した。

また、この繰り返しテストパターンを発生させるため、以下の確認を論理シミュレーションより行った。①同符号連続数カウンタでは所定の連続数になるまでは、セレクタが“1”を選択する制御信号を送出し続ける。②同符号連続数カウンタが所定の連続数に達するとクリア制御信号を送出して7段 PRBS 部及び7段 PRBS 周期+1 カウンタを初期状態に戻す。③同時にセレクタの選択が“1”から PRBS に切り替わり、“1”の同符号連続に続いて PRBS 符号列が初期値より出力される。④7段 PRBS 周期+1 カウンタが所定数のカウントに達すると、同符号連続数カウンタに対し、クリア制御信号を送出し、同符号連続数カウンタを初期状態に設定する。⑤同符号連続数カウンタのカウントが開始する。⑥同時にセレクタが“1”を選択する制御信号を送出し始める。これにより、所定の同符号連続数+PRBS 周期+1を周期とした繰り返しテストパターンが生成されたことが確認できた。

なお、この時のセレクタ出力は“1”を同符号連続とした繰り返しテストパターンとなるが、ビットの極性設定値とセレクタ出力を EX-OR の入力とすることで、ビットの極性設定値と反転した極性の同符号、つまりビットの極性設定値“0”の時は、“1”を同符号連続としたテストパターンが、ビットの極性設定値が“1”の時は、“0”を同符号連続としたテストパターンが EX-OR から出力され、所定の極性、同符号連続数を持った繰り返しテストパターンが生成できたことを論理シミュレーション上で確認した。

今後は受信側に設置される符号誤り検出回路において、送信側に設置される今回の PRBS 発生回路と同じ繰り返しテストパターンを発生させ、PRBS 発生回路から送られてきた繰り返しテストパターンと同期を取る回路構成を検討し、送受対向で動作確認を行う予定である。

参考文献

- [1] 高良秀彦、大原拓也、山本貴司、山崎悦史、犬塚史一、高田篤、“マルチキャリア光発生技術および1000波長 WDM 伝送技術”、電子情報通信学会ソサイエティ大会、通信(2)、BCI-1-2、2008.
- [2] 小泉雄貴、豊田和志、吉田真人、中沢正隆、“1024QAM(60Gbit/s)信号の150km コヒーレント光伝送”、電子情報通信学会ソサイエティ大会、通信(2)、B-10-67、2012.
- [3] 大川典男、大島慶太、芹澤和明、“論理回路シミュレーションによる CMOS 符号誤り率測定回路の基本検討”、東京都立産業技術高等専門学校研究紀要 No. 7、2013.
- [4] 島田禎晉、河西宏之、槇一光、辻久雄、“SDH 伝送方式”、オーム社、1993.
- [5] 今井秀樹、“符号理論”、電子情報通信学会、2007.