

論理回路シミュレーションによる CMOS 符号誤り率測定回路の基本検討

Basic Examination for CMOS Bit Error Rate Detection Circuits through the Logical Circuit Simulations

大川 典男¹

大島 慶太²

芹澤 和明²

Norio Ohkawa

Keita Ooshima

Kazuaki Serizawa

Abstract :

Bit error rate detection (ED) circuits which are installed in the receiver side, are employed to evaluate transmission properties of the optical communication systems. Although very expensive, these measuring circuits have been used compound semiconductor devices as GaAsMESFETs to get high-speed operation. This time, the examination circuits of the ED circuits are applied to economic CMOSFETs, which have lower power consumption and expected to have high-speed operation by shortening those channel length. The basic functions of the ED circuits which include synchronization, error counting, and monitoring control of out-synchronization are investigated through the logical circuit simulations on PSPICE. The operations of the ED circuits employed CMOSFETs are confirmed through the logical circuit simulations.

Keywords :

PRBS, Synchronization, Error count, Out-synchronization, CMOS

1. まえがき

光通信分野における波長多重技術及び、光位相制御による多値変調技術の進展により、今後とも数々のデジタル光通信システムが実用化、商用導入されていくと予想される。デジタル光通信システムは符号誤り率特性を以て総合評価がおこなわれるが、送信側にはランダムな情報信号の模擬パターンを発生する擬似ランダムパターン (PRBS) 発生器、受信側には送信側から通信路を通じて伝送されてきた PRBS の信号系列が誤りなく受信されているか否かを測定する符号誤り率測定器が用いられる。これらの測定器は、高速特性を追求するため能動素子に化合物半導体を使用したものがほとんどであり、非常に高価である。今後、多種多様なデジタル光通信システムの総合評価を行うためには、安価でシステムに組み込み可能な PRBS 発生回路、及び、符号誤り率測定回路の実現が望まれる。

前回の報告では、PRBS 発生回路の能動素子に、短ゲート化の今後の進展により現在の化合物半導体と遜色なく高速化が図れ、さらなる低消費電力化が期待される、安価な CMOSFET を適用し、論理回路シミュレーション、試作検討回路の測定を通じて基本動作を確認した[1]。

今回、CMOSFET を適用した符号誤り率測定回路の基本機能である、受信側に設置された PRBS 発生回路を送信側より伝送された PRBS に同期する同期引き込み機能、同期引

き込み後にエラーをカウントする機能、同期がはずれていないか監視し、同期がはずれた場合は同期要求パルスを生じさせる機能について、回路構成を検討した。各機能を有するこれらの回路について、汎用性があり経済的なPSPICEによる論理回路シミュレーションを通じて、基本動作及び、PRBS発生回路とこれらの機能を組み合わせた符号誤り率測定回路との送受対向での動作の確認を行ったので報告する。

2. 符号誤り率測定回路の基本機能と動作確認

2.1 同期引き込み機能

送信部より送出された PRBS が、伝送途中で誤りを生じたか否かを判定するためには、送信部と同じ原始多項式で生成される PRBS を受信部で発生させ、これらの PRBS 間の同期を取った後に比較する必要がある。これが同期引き込み機能であるが、この機能を含む符号誤り率測定回路のブロック構成を図 1 に示す。2.3 で述べる同期はずれ監視機能を用いて同期がとれているか否かを判定し、同期が取れていないと判断した場合は、同期要求パルスを図 2 に示す同期引き込み回路に入力する。同期引き込み回路は $n+1$ 段 (n は PRBS の段数で、PRBS の周期は 2^n-1 で表わされる) のシフトレジスタとデータセクタから成り、送信側から伝送されてきた PRBS はこのシフトレジスタに取り込まれ、受信部で発生させた PRBS と比較される。同期要求パルスを受信した場合は、送信側から伝送されてきた PRBS の n 段分の値を、同期引き込み回路のシフトレジスタで 1 段前つまり 1 クロック分だけ前にずらしてデータセクタを通じて受信側 PRBS 発生回路の n 段シフトレジスタに取り込

¹ 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、教授

² 東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、在学

む。この 1 クロック分だけ前にずれた送信側 PRBS の値で受信側 PRBS をプリセットすることにより、次のクロックから送信側と受信側の PRBS の同期を取ることができる。ここで伝送路中で生じる符号誤り率 (BER) は 10^{-4} 以下、PRBS は 7 段 (1 周期 127 ビット) を想定している。 10^{-4} の誤りが生じている場合でも 7 段の同期引き込み回路のシフトレジスタに送信側 PRBS の誤りを取り込む確率は 7×10^{-4} と非常に小さく、上記の方法でほとんどの場合、1 度で同期引き込みが完了する。もし同期引き込み回路のシフトレジスタに誤りが取り込まれた場合は、受信側 PRBS 発生回路のシフトレジスタには正しい PRBS が取り込まれず同期引き込みができなくなり、そのときは送信側 PRBS と受信側 PRBS のビットの相違が PRBS の 1 周期内に 6 回以上発生 (同期はずれると 1 周期の約半分のビットが異なる) して引き込み要求パルスが送出され、再度、同期引き込みが実施される。なお、BER が 10^{-4} 以下ならば符号誤り訂正 (FEC) を実施することにより、最も基本的な FEC であるリードソロモン符号 RS (255, 239) を用いても、訂正後の BER は基幹伝送システムの要求条件である BER が 10^{-12} 以下を実現できる [2]。また、SDH 方式の基幹通信路では 7 段のスクランプリングをかけているため [3]、PRBS 発生器のシフトレジスタの段数は 7 段あれば実用上最低限必要なランダム性を確保することができる。

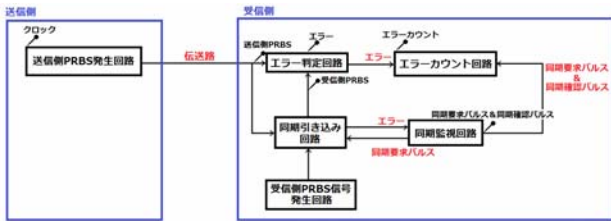
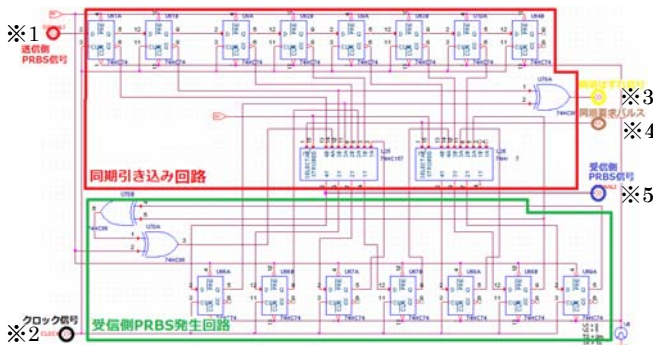


図 1. 符号誤り率測定回路のブロック構成



- ※1 送信側 PRBS 信号入力
- ※2 クロック入力
- ※3 エラーパルス出力
- ※4 同期要求パルス入力
- ※5 受信側 PRBS 信号出力

図 2. 同期引き込み回路の構成

図 3 に同期引き込み回路の機能を確認するために実施した PSPICE による論理シミュレーション結果を示す。最初 (図の左側~中央) は送信側 PRBS と受信側の PRBS の同

期がとれていないが、同期はずれ監視回路からの同期要求パルスを図 2 に示す同期引き込み回路の※4 の端子に入力することにより同期引き込みが開始され、次のクロックで両者の PRBS の同期が取れて同期引き込みが完了したことが確認できた。

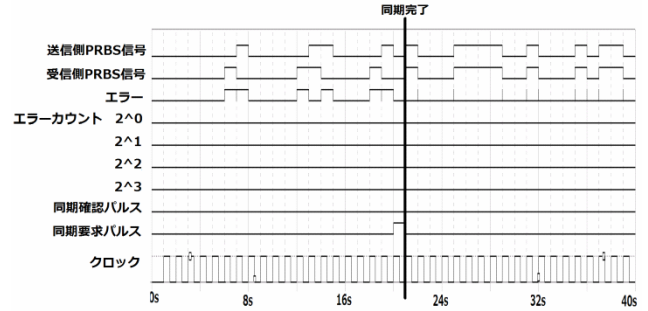
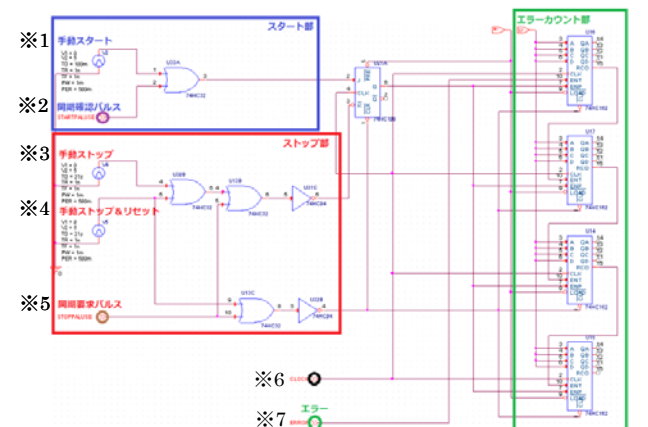


図 3. 同期引き込み機能の論理シミュレーション結果

2.2 エラーカウント機能

図 1 に示すように、符号誤り率測定回路のエラーカウンタは、エラーカウンタ回路で実施される。図 4 にエラーカウンタ回路の回路構成を示す。エラーカウンタ部は 10 進カウンタを 4 段縦続接続することにより、 $10^4=10,000$ ビットまでの誤りビット数をカウントすることができ、必要に応じて 10 進カウンタの縦続接続の段数を増加させることにより、 10^n ビット (n : 縦続接続の段数) までの誤りビット数をカウントすることができる。

送信側 PRBS と受信側 PRBS を比較して、エラーが発生しているか否かを判定するエラー判定回路の回路構成を図 5 に示す。送信側 PRBS と受信側 PRBS の経路差を調整するため、送信側 PRBS には 1 ビット遅延させるための D-FF を 1 個挿入し、EX-OR による比較部で両者のビットが異なる場合にエラーパルスを送出する。伝送システムの



- ※1 手動スタート入力端子
- ※2 同期確認パルス入力端子
- ※3 手動ストップ入力端子
- ※4 手動ストップ&リセット入力端子
- ※5 同期要求パルス入力端子
- ※6 クロック入力端子
- ※7 エラー入力端子

図 4. エラーカウンタ回路の構成

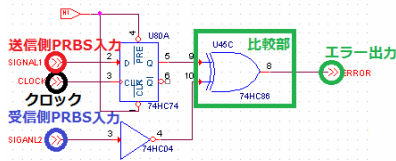


図 5. エラー判定回路の構成

速度を a [bit/s]、計測時間を t [sec]、その間に計測された誤りビット数を m [bit]とすると、符号誤り率 BER は次式で表される。

$$BER = \frac{m}{a \cdot t} \quad (1)$$

これより、伝送システムの数と計測時間がわかれば、誤りビット数を測定することにより、BER を求めることができる。エラーカウンタ回路はスタート部よりスタート信号を受けるとカウンタ部の 10 進カウンタでエラーの数をカウントし、ストップ部でストップ制御信号を受けるまでカウントを行う。スタート部は図 1 の同期監視回路からの同期確認パルスによる自動スタートと、手動スタートの 2 つの端子を備えている。ストップ部は、同期監視回路からの同期要求パルスによる自動ストップ&カウンタ値のリセット及び手動ストップ&カウンタのリセット、手動ストップ (カウンタ値を保持) の 3 つの端子を備えている。同期監視回路からの同期確認パルスは、PRBS の 1 周期において同期がとれていることが確認されたことを示しており、正しくエラーをカウントすることが可能な状態であるため、自動的にカウントをスタートする。この場合、前に測定されたカウンタ値は保持されており、累積加算でカウントされる。同期監視回路からの同期要求パルスは、PRBS の 1 周期において同期がとれていないことを示しており、自動的にカウンタをストップするとともに、次のスタート制御信号を受けてからの計測に備えてカウンタ値をリセットする機能をもつ。

図 6 にエラーカウンタ機能を確認するために実施した、論理シミュレーションの結果を示す。

図 6 の(a)及び(b)は手動によるスタート及びストップのシミュレーション結果であり、手動スタート制御信号によりエラーカウンタが開始され、エラーカウンタ値は 2 進数で表示される。(b)より、手動ストップ制御信号を受けるとカウンタは停止するが、カウンタ値は保持されていることがわかる。手動スタート&ストップでは、任意の開始時間及び停止時間において、その間に発生したエラー数を確認するときに使用される。図 6 の(c)は、同期確認パルスによる自動スタート及び同期要求パルスによる自動ストップのシミュレーション結果であり、同期確認パルスを受けるとエラーカウンタが継続され、エラーカウンタ値が累積してゆくのにに対し、同期要求パルスを受けるとエラーカウンタを停止するとともに、エラーカウンタ値が 0 にリセットされることが確認できた。

今後は、誤りを BER として表示するために、計測時間及びクロック速度を自動的に計測し、(1)式で示される計算を行う拡張機能の検討も実施してゆく予定である。

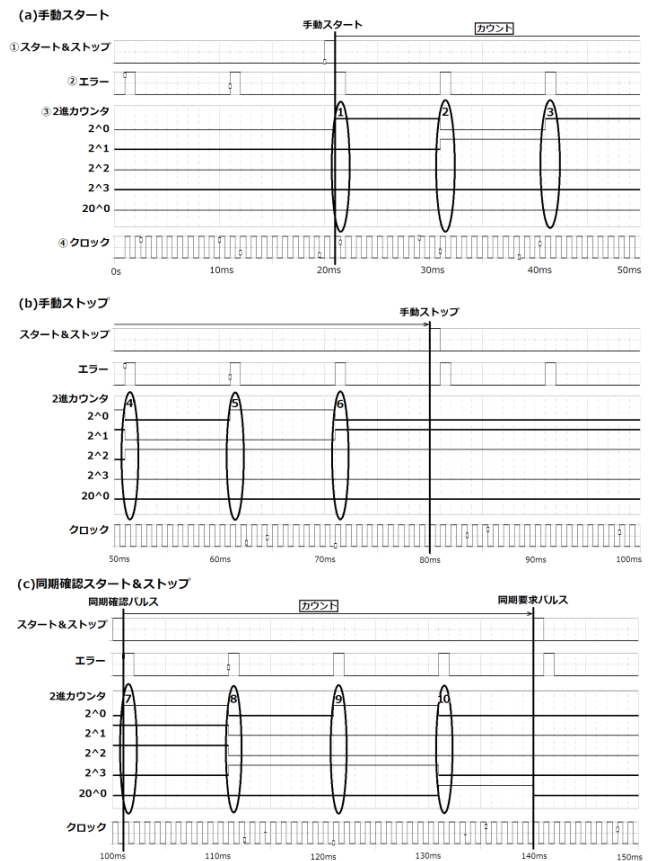


図 6. エラーカウンタ回路の論理シミュレーション結果

2.3 同期はずれ監視機能

2.3.1 同期はずれと判断される PRBS 信号の 1 周期内の誤りビット数

伝送開始時だけでなく、伝送確立後においても、伝送経路の瞬断等により、送信側 PRBS と受信側 PRBS の同期がはずれてしまう場合がある。このとき、同期はずれを符号誤り測定回路が判断して、エラーカウンタをストップ&リセットし、自動的に同期引き込みを実施する必要がある。同期はずれの判断は、同期はずれ監視回路で行うが、7 段 PRBS の 1 周期である 127 クロック中に一定数以上の誤りが発生した場合とした。誤りがランダムに発生している状態で、1 周期中に誤りが d 発生する生起確率 X は、

$$X = \frac{c!}{(a-c)!} \cdot \frac{(c-d)!d! (a-c-b+d)!(b-d)!}{a!} \cdot \frac{1}{(a-b)!b!} \quad \dots\dots\dots(2)$$

ここで a は伝送速度[bit/s]、 b は 1 秒間の誤りビット数、 c は PRBS の 1 周期のビット数、 d は 1 周期中の誤りビット数を表し、ここでは、 $a = 1$ [Mbit/s]~1 [Gbit/s]、 $b = a \times 10^{-4}$ [bit] (想定している最大のビットエラーレート $BER = 10^{-4}$ が発生していると仮定)、 $c = 127$ [bit]、 $d = 2 \sim 10$ [bit]において X を計算した。 X の計算は計算途中で

非常に大きな数を扱うので、通常データ型を用いてプログラム計算を行うことができない。そのため、任意精度浮動小数点演算を提供するフリーのライブラリ MPFR を用いて計算を行った。MPFR は C 言語で記述されており、GMP をベースとした多倍長浮動小数点演算ライブラリである。このライブラリを用いることで、非常に大きな値を扱うことができ、任意の精度で計算を行うことができる。

伝送速度が 1 [Mbit/s]、10 [Mbit/s]、100 [Mbit/s]、1 [Gbit/s] の場合の BER=10⁻⁴ における PRBS の 1 周期中の符号誤りビット数と生起確率の関係を図 7 に示す。BER が 10⁻⁴ という誤りが生じている状態でも、1 周期中に d ビットの誤りが 1 日に 1 回も起こらない最小の d を同期はずれの判断基準値とした。生起確率 X は、1 秒当たりの発生確率で定義されているので、1 日に 1 回も事象が起こらない確率 P は次式で求められる。

$$P = (\text{1日 の秒数})^{-1} = \frac{1}{60 \times 60 \times 24} \approx 1.16 \times 10^{-5} \quad \dots(3)$$

伝送速度が高いほど、d の値は大きくなるが、伝送速度 1 [Gbit/s] の通信において、X が(3)式の値未満となる最小の d は、図 7 より 6 [bit] となる。ちなみに送信側 PRBS と受信側 PRBS の同期が 1 ビットずれると、1 周期 127 [bit] あたり 64 [bit] の相違が生じ、求めた d の値より十分大きくなる。迅速な動作と大きな BER の時に生じやすい誤動作を避けるため、d の値は必要最小限とした。これより、PRBS の 1 周期 127 ビット中に 6 個の誤りビットを検出した場合は送信側 PRBS と受信側 PRBS の同期がとれていないと判断し、同期要求パルスが、5 個以下の場合には同期がとれていると判断し、同期確認パルスが発生するように同期監視回路を設計した。

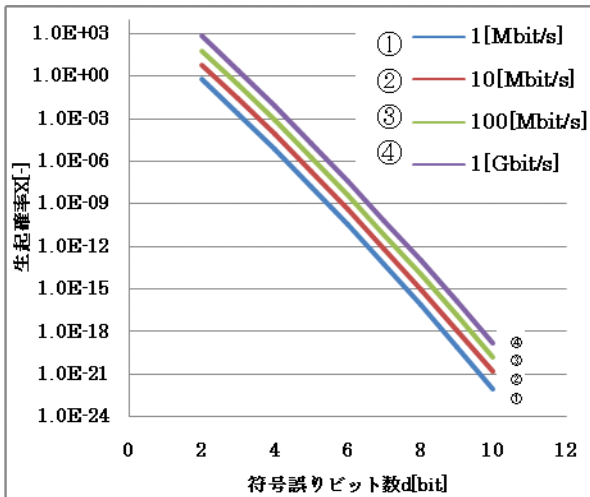
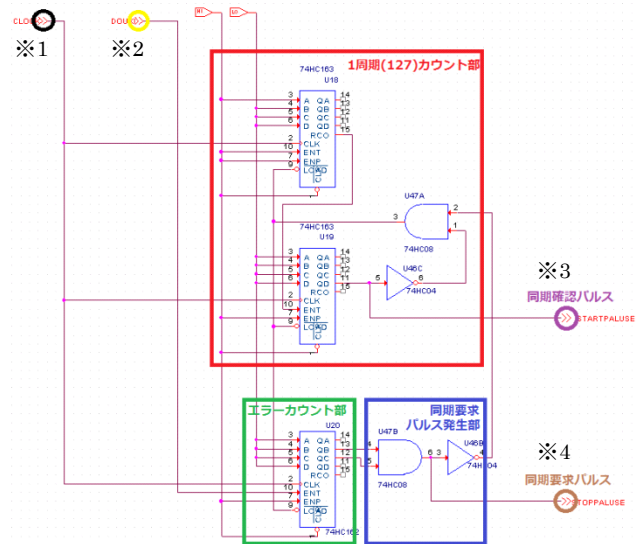


図 7. 1 周期当りの誤りビット数と生起確率の計算結果

2.3.2 同期はずれ監視機能の構成とシミュレーション結果

同期はずれ監視回路の役目は、PRBS の 1 周期の間に予め定めた数以上の誤りが発生していないか監視し、予定数以上の誤りが発生している場合は、同期要求パルスを送出してエラーカウンタをストップ&リセットするとともに同期引き込み回路を動作させること、及び、予定数以上の誤

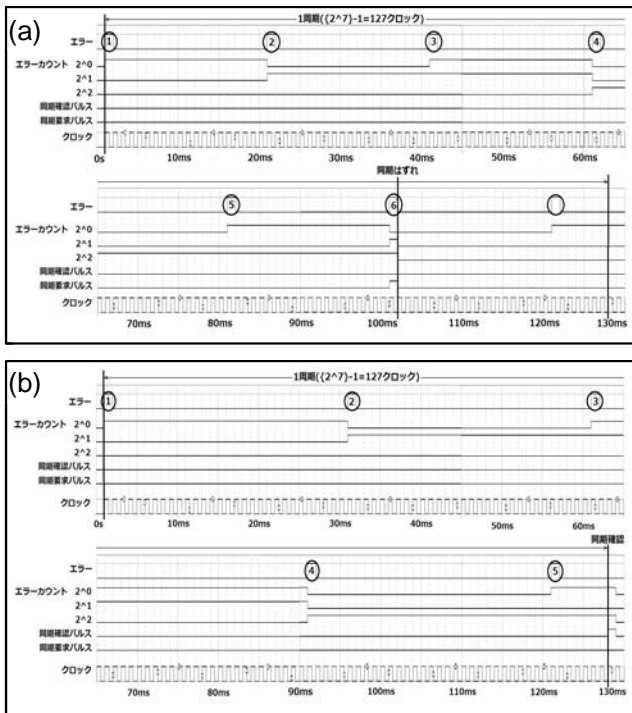
りが発生していない場合は、同期確認パルスが発生させてエラーカウンタを継続（同期引き込みの最初であれば開始）させることである。図 8 に同期はずれ監視回路の構成を示す。同期引き込み回路から出力されたエラービット数は同期はずれ監視回路内のエラーカウンタ部でカウントされる。同期はずれ監視回路内の 1 周期カウンタ部で 127 クロックをカウントする間に 6 個のエラーがカウントされると、送信側 PRBS と受信側 PRBS の同期がはずれていると判断し、同期要求パルスを送出するエラーカウンタ回路と同期引き込み回路に送り、エラーカウンタをストップ&リセットすると同時に同期引き込みを行う。1 周期内でエラー数が 5 個以下である場合は同期はずれていないと判断し、同期はずれ監視回路内の 1 周期カウンタ部及びエラーカウンタ部をリセットして最初からカウントを開始するとともに、同期確認パルスを送出するエラーカウンタ回路に送り、エラーカウンタを継続（同期引き込みの最初であれば開始）させる。



※1 クロック入力端子 ※2 エラー入力端子
※3 同期確認パルス出力端子 ※4 同期要求パルス出力端子

図 8. 同期はずれ監視回路の構成

図 9 に同期はずれ監視回路の論理シミュレーション結果を示す。1 クロックを 1 [msec] に設定したので、1 周期は 127 [msec] である。図 9 の(a)において、1 周期内に 6 個以上エラーが発生する場合、6 個目のエラーを検出すると直ちに同期はずれ監視回路内のエラーカウンタ部のカウンタがリセットされると同時に同期要求パルスが送出されることを確認した。図 9 の(b)において、1 周期に 5 個のエラーが発生した場合、同期はずれ監視回路内のエラーカウンタ部のカウンタは、1 周期分のカウントの完了とともにリセットされ、同時に同期確認パルスが送出されることを確認した。



(a) PRBS の 1 周期内でエラー数が 6 個の場合
 (b) PRBS の 1 周期内でエラー数が 5 個の場合
 図 9. 同期はずれ監視回路の論理シミュレーション結果

3. 符号誤り率測定回路の総合的な動作確認

符号誤り率測定回路の各機能を接続し、図 1 に示す受信部を構成し、文献[1]に示す BER が 10^{-4} の定量誤りを付加する 7 段 PRBS 発生回路を送信部に用いて、総合的な動作確認を行った。このときの論理シミュレーション結果を図 10 に示す。1 クロックの速度が 1 [ms] であり、送信部では 10,001 回に 1 回の誤りを発生させているため、10,001 [ms] の地点でエラーが発生してエラー数が $2^0=1$ とカウントされる。同期はずれ監視回路が同期が外れていないことを PRBS の 1 周期である 127 ビット毎に確認し、同期確認パルスを発生する。20,002 [ms] の地点で 2 回目のエラーが発生するが、13 ビット前に同期確認パルスが

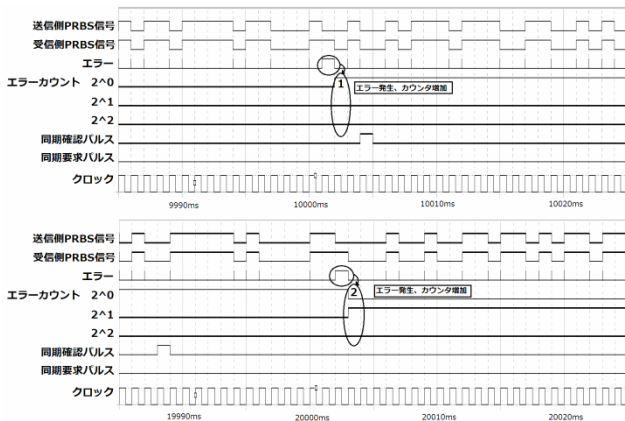


図 10. 符号誤り率測定回路の論理シミュレーションによる総合的な動作確認

発生しており、同期要求パルスは発生していないので、エラーカウントは累積され、エラー数は $2^1=2$ とカウントされることが確認できた。

4. まとめ

光通信システムの総合評価に用いられる符号誤り率測定回路を経済的に構成するため、能動素子に短ゲート化の進展により高速化が期待できる CMOSFET を用いた構成について三つの基本機能の構成を検討し、論理回路シミュレーションにより動作確認をおこなった。

一つ目の基本機能である同期引き込み機能において、同期引き込みを開始した次のクロックで同期引き込みが完了し、それ以降、送信側 PRBS と受信側 PRBS の同期が取れていることを確認した。

二つ目の基本機能であるエラーカウント機能において、手動スタートでエラーカウントが開始され、手動ストップによりカウントは停止するが、カウント値が保持されることを確認した。手動スタート&ストップは、任意の開始時間及び停止時間においてエラーの値を確認するときに使用される。同期確認パルスによる自動スタート及び同期要求パルスによる自動ストップの論理シミュレーション結果より、同期確認パルスを受けるとエラーカウントが継続されエラーカウント値は累積されるが、同期要求パルスを受けるとエラーカウントを停止するとともに、エラーカウント値が 0 にリセットされることが確認できた。

三つ目の基本機能である同期はずれ監視機能では、7 段 PRBS の 1 周期内に 6 個以上のエラーが発生する場合、6 個目のエラーを検出すると直ちに同期はずれ監視回路内にあるエラーカウント部のカウンタがリセットされると同時に同期要求パルスが送出されることを確認した。1 周期に 5 個以下のエラーが発生した場合、同期はずれ監視回路内のエラーカウント部のカウンタは、1 周期分のカウントの完了とともにリセットされ、同時に同期確認パルスが送出されることを確認した。

符号誤り率測定回路の各機能を接続し、総合的な動作確認を行い、所望の機能を実現できる見通しを得た。今後は BER 表示機能の検討、これらの機能を備えた符号誤り率測定回路の試作を行い、動作確認を実施後、短ゲート MOSFET-IC を用いて高速化の検討を進める予定である。

参考文献

[1] 大川典男、本田俊、中川嵩洋、”論理回路シミュレーション、試作による擬似ランダム信号発生器の基本検討”、東京都立産業技術高等専門学校研究紀要 No.6、PP29-33、2012。
 [2] Norio Ohkawa, Tetsuo Takahashi, Yoshiaki Miyajima, Mamoru Aiki, "Large Capacity Submarine Repeaterless Transmission System Design Employing remote Pumping", IEICE Trans. COMMUN. Vol. E81-B, No3, pp586-596, March 1998.
 [3] 島田禎晉、河西宏之、槇一光、辻久雄、”SDH 伝送方式”、オーム社、1993。