

論理回路シミュレーション、試作による擬似ランダム信号発生器の基本検討

Basic examination for CMOS pseudo random pulse generators through the logic circuit simulation and trial fabrication

大川 典男¹ 本田 俊² 中川 嵩洋³

Norio Ohkawa Shun Honda Takahiro Nakagawa

Abstract

Pseudo-random bit sequence (PRBS) generators which can simulate the generation of the actual information signal, are installed in the transmitter side, as well as bit error rate detectors are installed in the receiver side to evaluate transmission properties of the optical communication systems. Although very expensive, these measuring instruments have been used compound semiconductor devices as GaAsMESFETs to get high-speed operation. This time, the examination circuits of the PRBS generator are applied to economic CMOSFETs which have low-power consumption and expected to have high-speed operation by shortening channel length of the CMOSFETs. Basic operations of the PRBS generators employed CMOSFETs are confirmed through logical circuit simulations and measurements of the trial manufactured circuits in this study.

キーワード： PRBS, 原始多項式, CMOS, 線形フィードバックシフトレジスタ, カウンタ
(PRBS, Primitive polynomial, CMOS, Linear feedback shift register, Counter)

1. まえがき

光通信分野における波長多重技術の飛躍的な進歩、及び最近では光の位相制御による多値変調技術の進展により今後とも多数のデジタル光通信システムが実用化、商用導入されていくと予想される。このような通信システムの総合評価は符号誤り率特性を通じておこなわれるが、図1の例に示すように、この測定のためには、送信側には、ランダムな情報信号の発生を模擬できる擬似ランダム信号 (PRBS) 発生器、受信側には送信側から通信路を通じて伝送されてきた擬似ランダム信号系列が誤りなく受信されているか否かを測定する符号誤り率測定器が用いられる。これらの測定器は高速特性を追求するため、能動素子に化合物半導体を使用したものがほとんどであり、非常に高価である。今回、擬似ランダム信号発生器の能動素子に、短ゲート化の今後の進展により現在の化合物半導体に遜色なく高速化が図れ、さらなる低消費電力化が期待される経済的な CMOSFET を適用した。

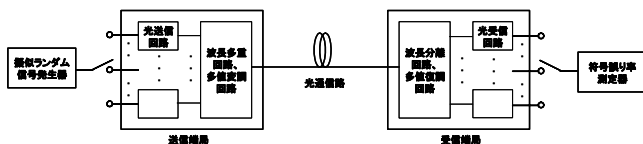


図1. 光通信システムの符号誤り率測定系の構成例

CMOSFETを適用した擬似ランダム信号発生器について、論理回路シミュレーション、試作検討回路の測定を通じて基本動作を確認したので報告する。

2. PRBS 発生器の動作原理と基本機能

擬似ランダム信号 (PRBS) は、縦続接続したDタイプフリップフロップ (D-FF) より構成されるシフトレジスタと mod2 加算を行うためのエクスクルーシブOR (EX-OR) を用いて、原始多項式に基づき、最長周期が得られるように線形フィードバックシフトレジスタ (LFSR) を構成し、結線することにより発生させることができる [1]。このとき最長周期が長いほど指数関数的にランダム性が高くなるが、縦続接続したシフトレジスタの段数をmとすると、最長周期は $2^m - 1$ で与えられる。SDH方式の基幹通信路では7段のスクランプリングをかけているため、PRBS発生器のシフトレジスタの段数は7段あれば実用上必要なランダム性を確保することができる [2]。本検討ではシフトレジスタの段数は、当初の検討では回路構成が簡単で周期が短く検討のしやすい4段構成とし、最終的な検討では7段構成とした。

表1に7段までの次数mに対する原始多項式の例と最長周期を示す [3]。原始多項式とは、ガロア体GF(p)上のm次の既約多項式において周期が $p^m - 1$ となる多項式 (ただしpは素数であり、ここではバイナリ信号を考えているので $p=2$ とする。) のことであり、次数mにおいて最長周期を与える。ひとつの原始多項式に対して各次数の係数の割り当てを逆順とした相反多項式もまた原始多項式となる。多項式中の+はmod2加算を表わし、xの次数はシフトレジスタの段数に相当しており、mod2加算により入力へフィードバック結線したものが、最長周期を与えるLFSRの構成となる。

¹東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、教授

²東京都立産業技術高等専門学校ものづくり工学科電子情報工学コース、在学

³東京都立産業技術高等専門学校創造工学専攻電気電子工学コース、在学

表1. 7段までの原始多項式の例と最長周期

次数 m	原始多項式 の例	最長周期 n n=2 ^m -1
1	$x+1$	1
2	x^2+x+1	3
3	x^3+x^2+1	7
4	x^4+x+1	15
5	x^5+x^2+1	31
6	x^6+x+1	63
7	x^7+x^6+1	127

図2に3段のPRBSを例とした回路ブロック図とクロック毎のシフトレジスタの各段の保持値を示す。

Vfは1(Hレベル)に固定されている。X、X²、X³の各段のシフトレジスタの初期値(0,0,0)から1回目のクロックにより、Vfと線形フィードバック(X²とX³とのmod2加算)とのmod2加算後の値1が1段目のシフトレジスタ(X)へ入力される。1段目のシフトレジスタに入っていたデータ0は2段目のシフトレジスタ(X²)へ、2段目のシフトレジスタに入っていた0が3段目のシフトレジスタ(X³)へシフト入力される。その結果、1回目のクロック後にはX、X²、X³のレジスタには(1,0,0)が保持される。

続いて2回目のクロックでは、同様に2段目のシフトレジスタの保持値0と3段目のシフトレジスタの保持値0をmod2加算した結果0が線形フィードバックされ、Vfとのmod2加算後の値1が1段目のシフトレジスタ(X)へ入力される。1段目のシフトレジスタに入っていたデータ1は2段目のシフトレジスタ(X²)へ、2段目のシフトレジスタに入っていた0が3段目のシフトレジスタ(X³)へシフト入力される。その結果、2回目のクロック後にはX、X²、X³のレジスタには(1,1,0)が保持される。

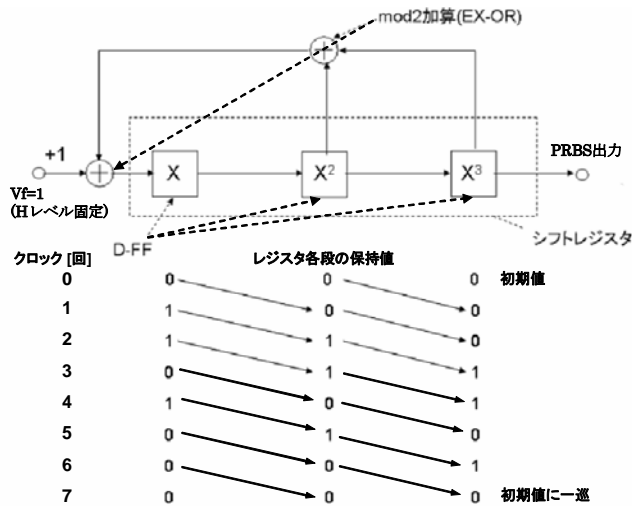


図2. 3段LFSRの構成とクロック毎のレジスタ各段の保持値

以降のクロックでも同様な動作を繰り返し、ビット列を発生させるが、3段のLFSRでは最長周期である2³-1=7回目のクロック後は各段のシフトレジスタは初期値と同じ値となり、一巡することがわかる。

通信路の送受信間において試験的に定量的な誤りを伝送させ、それを検出する試験を行うため、PRBS発生器では擬似ランダム信号を発生させる機能の他に、定量的な誤りを発生させる機能が必要である。この機能は所望の誤り率となるようにクロック数を計測するカウンタと、そのときにPRBS信号を反転させるためのEX-ORにより実現することができる。図3に定量的な誤りを付加したPRBS発生器の構成例を示す。この例では10進カウンタを3個縦続に接続している。10進カウンタ3の出力Bは通常はLレベルであり、PRBS信号発生回路出力AとのEX-ORをとった出力XはPRBS信号発生回路出力Aと同じ符号であるが、10³回毎に1回、10進カウンタ3の出力BからHレベルのパルスが発生し、PRBS信号発生回路出力AとのEX-ORをとるため、PRBS信号発生回路出力Aの符号が反転されてEX-OR出力Xとなる。これより、10³回に1回の定量的な誤りを付加したPRBS発生器を構成することができる。実用上は符号誤り率が2×10⁻⁴において、最も基本となるリードソロモンRS(255,239)符号による誤り訂正(FEC)を実施すると基幹通信路の品質として規定されている符号誤り率1×10⁻¹¹を達成することができるので[4]、定量誤り付加は最終的には10⁴回に1回とした。

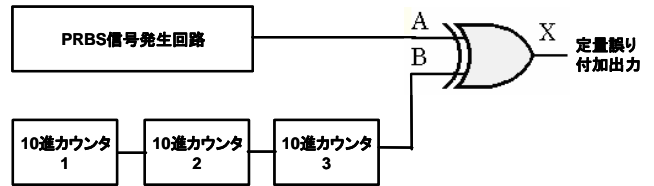


図3. 定量誤り発生機能を付加したPRBS発生器の構成例

3. 論理回路シミュレーションによる動作確認

汎用性があり、比較的低価格で導入可能な電子回路シミュレータであるPSPICEを用いて定量誤り付加機能付きのPRBS発生器の論理回路シミュレーションを行った。図4にシミュレーションに用いた定量誤り付加機能付きの

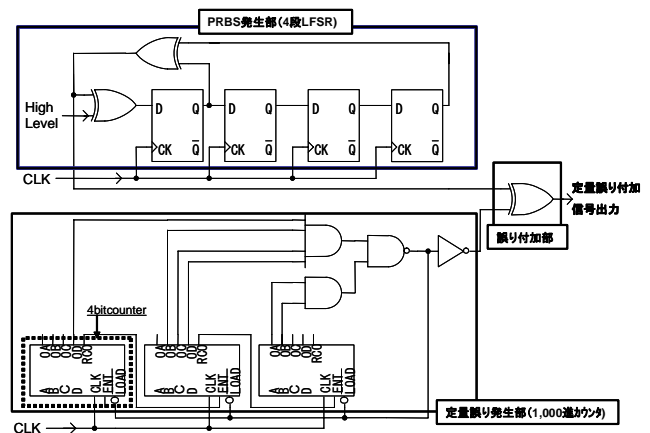


図4. 論理回路シミュレーションを実施したBER10⁻³の定量誤り付加機能付の4段PRBS信号発生器の構成

PRBS発生器の構成を示す。この回路は3つのブロックから成る。PRBS発生部である4段LFSRは、 $2^4-1=15$ ビット周期のPRBS信号を発生する。定量誤り発生部である1,000進カウンタは、16進カウンタを3つ縦続接続し、図4に示すような接続とすることにより、

$8 \times 16^0 + 14 \times 16^1 + 3 \times 16^2 = 1,000$ 回に1回の割合で誤り付加部にHレベル信号を入力すると同時に各16進カウンタのLOADにリセットパルスを入力する。これより16進カウンタの値はA、B、C、Dの初期値の値からカウントが始まる（今回はA、B、C、Dは全てグランドに接続しているため、初期値は0000である。）。誤り付加部では4段LFSRからのPRBS信号と定量誤り発生部からの誤り付加信号をEX-ORを用いて比較することにより、定量誤り発生部からの信号がHレベルのビットのときに限り、PRBS信号を反転させて誤りを付加する。これより、符号誤り率（BER）が 10^{-3} となる誤りが付加されたPRBS信号が生成される。

図5に4段構成、1,000進カウンタによる誤り付加機能付きのPRBS信号発生器の論理回路シミュレーションの結果を示す。図5(a)よりPRBS信号は15ビット周期で繰り返していることがわかる（各段のシフトレジスタのレベルが全て“0”からスタートしたとすると16ビット目に全て“0”となっている。）。図5(b)では1,000ビット目の4段LFSR出力からのPRBS信号“1”に対し、EX-ORの比較器出力は“0”と誤りが付加されていることが分かる。同様に図5(c)では2,001ビット目の4段LFSR出力からのPRBS信号“1”に対し、EX-ORの比較器出力は“0”と誤りが付加されていることが分かる。同様に3,002ビット目、4,003ビット目で誤りが付加されていることが論理回路シミュレーションより確認され、誤りが付加される間隔はほぼ1,000ビット毎に1回となり、 $BER10^{-3}$ の定量誤りの付加機能が実現されていることが確認できた。なお、最初の誤り付加が1,001ビット目でなく、1,000ビット目であるのは、初期の立ち上がり時は1からカウントが開始されるのに対し、カウンタのLOADに入力されるリセットパルスにより、1001ビット以降では、0からカウントが開始されるためである。

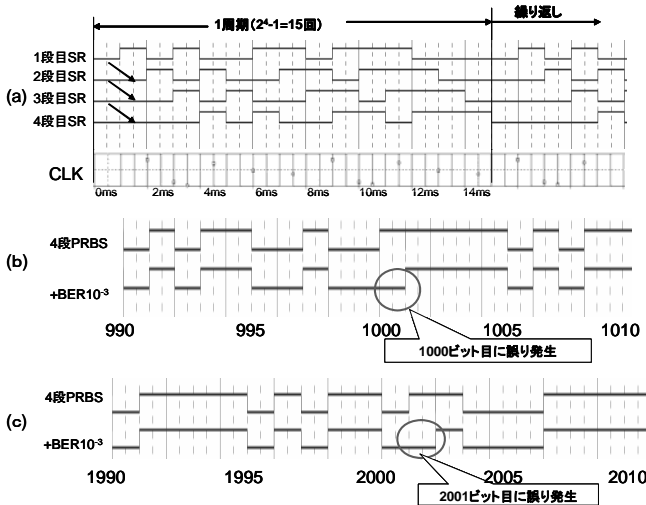


図5. 1000進カウンタによる誤り付加機能付きの4段PRBS発生器の論理回路シミュレーション

実用的なPRBS発生器として、SDH方式の基幹伝送路で実施されている7段スクランブリング、FECによる符号誤り訂正機能を前提とした誤り訂正前の伝送路の符号誤り率 10^{-4} を模擬するための $BER10^{-4}$ の定量誤り付加機能付きの7段PRBS信号発生器の構成を図6に示す。7段の10,000進カウンタは、16進カウンタを4つ縦続接続し、図6に示すような接続とすることにより、

$0 \times 16^0 + 1 \times 16^1 + 7 \times 16^2 + 2 \times 16^3 = 10,000$ 回に1回の割合でHレベル信号を誤り付加部へ入力し、 $BER10^{-4}$ の定量誤りを付加する。基本的な構成ブロックは、図4に示す $BER10^{-3}$ の定量誤り付加機能付きの4段PRBS信号発生器と同様であり（原始多項式に対応するシフトレジスタとmod2加算を結ぶフィードバックの結線のみ異なるが、次数に対応する原始多項式が分かればそれに合わせた結線を行うことにより、同様な方法でさらに多段のPRBS発生回路を構成することができる。定量誤り付加量を示すBERをさらに小さくするには、16進のカウンタをさらに多段に縦続接続することにより実現することが可能である。

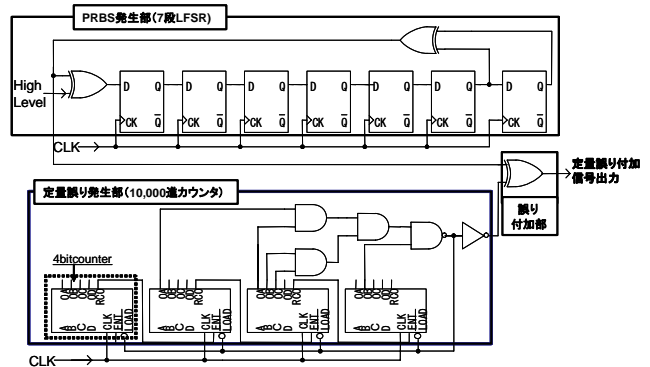


図6. 実用的な $BER10^{-4}$ の定量誤り付加機能付きの7段PRBS信号発生器の構成

図7に7段構成、10,000進カウンタによる誤り付加機能付きのPRBS信号発生器の論理回路シミュレーションの結果を示す。図7(a)よりPRBS信号は127ビット周期で繰り返していることがわかる。図7(b)では10,000ビット目の7段LFSR出力からのPRBS信号“1”に対し、誤り付加部のEX-ORの出力は“0”と、誤りが付加されていることが分かる。同様に図7(c)では20,001ビット目の7段LFSR出力からのPRBS信号“1”に対し、誤り付加部のEX-ORの出力は“0”と誤りが付加されていることが分かる。同様に30,002ビット目、40,003ビット目で誤りが付加されていることが論理回路シミュレーションより確認され、誤りが付加される間隔がほぼ10,000ビット毎に1回となり、 $BER10^{-4}$ の定量誤りの付加機能が実現されていることが確認できた。

最初の誤り付加が10,001ビット目でなく、10,000ビット目であるのは、初期の立ち上がり時は1からカウントが開始されるのに対し、カウンタのLOADに入力されるリセットパルスにより、10,001ビット以降では、0からカウントが開始されるためであるが、これは $BER10^{-3}$ の定量誤り付加機能付きの4段PRBS信号発生器の場合と同様である。

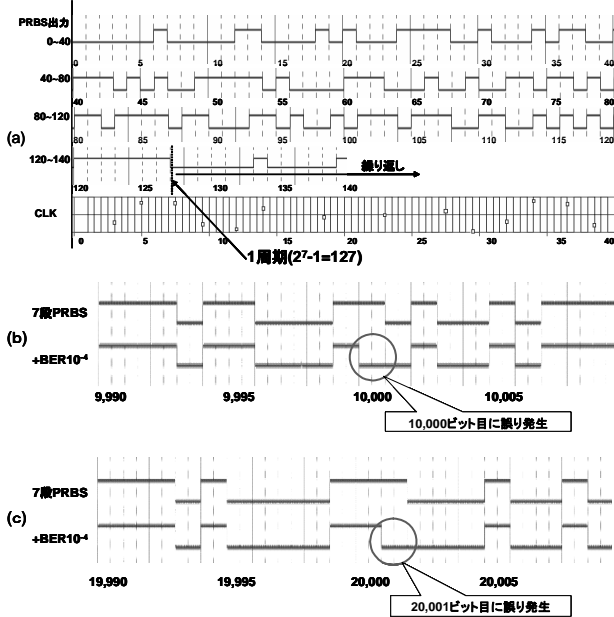


図 7. 7 段構成、10,000 進カウンタによる誤り付加機付の PRBS 発生器の論理回路シミュレーション

4. 試作検討回路の測定結果

図 8 に試作検討した BER 10^{-3} の定量誤り付加機能付きの 4 段 PRBS 発生器の実装図を示す。図 4 の回路構成に示す通り、PRBS 発生部、定量誤り発生部、誤り付加部の 3 つの機能ブロックからなる。PRBS 発生部では、D-FF $\times 4$ 段は CMOS 論理 IC である TC74HC74AP を 2 個 (1 個当たり 2 つの D-FF を内蔵)、EX-OR $\times 2$ 個は TC74HC86AP を 1 個 (1 個当たり 4 つの EX-OR を内蔵) 用いて、4 段 LFSR を構成した。定量誤り発生部は、1,000 進カウンタとして TC74HC163AP を 3 個 (1 個当たり 1 つの 16 進同期式カウンタを内蔵) を縦続接続し、AND $\times 2$ 個は TC74HC08AP (1 個当たり 4 個の AND を内蔵) を 1 個用い、NAND $\times 1$ 個及び NOT $\times 1$ 個 (NAND $\times 1$ 個の 2 入力を共通接続することにより構成) は TC74HC00AP (1 個当たり 4 個の NAND を内蔵) を 1 個用いることにより構成した。誤り付加部は EX-OR $\times 1$ 個を TC74HC86AP 1 個で構成した。電源からの伝導ノイズを除去するため、電源とグランド間に $0.3\mu\text{F}$ のコンデンサを挿入した。定量誤り付加後の出力を信号出力とし、電源は $V_{cc}=5\text{V}$ 、CLK 速度はデータレコーダの動作速度を考慮し 1kHz とした。

図 9 に試作検討した定量誤り付加機能付き PRBS 発生器の応答波形を示す。図 9 (a) より PRBS 信号は 15 ビット周期で繰り返していることがわかる。図 9 (b) では、1,000 ビット目の 4 段 LFSR 出力からの PRBS 信号 “0” に対し、定量誤り付加後の信号出力は “1” と誤りが付加されていることが分かる。同様に図 9 (c) では、2,001 ビット目の 4 段 LFSR 出力からの PRBS 信号 “0” に対し、定量誤り付加後の信号出力は “1” と誤りが付加されていることが分かる。同様に 3,001 ビット目、4,001 ビット目で誤りが付加されていることを応答波形の測定より確認した。誤りが付加される間隔は、1,000 ビット毎に 1 回となり、BER 10^{-3} の定量誤りの付加機能が実現されていることが試作回路の応答波形の測定からも確認できた。

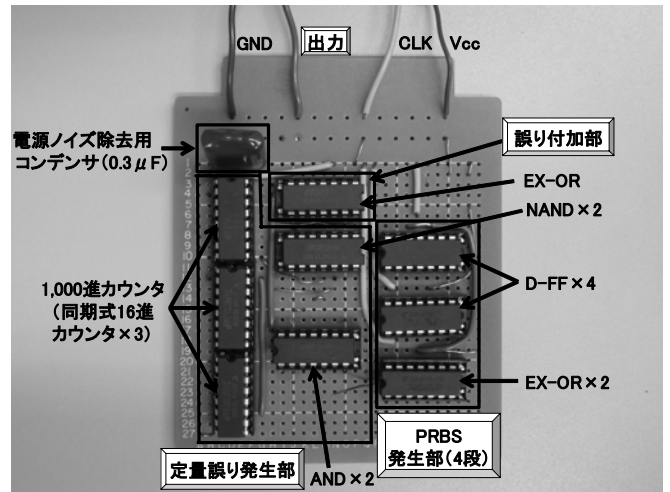


図 8. 試作検討した BER 10^{-3} の定量誤り付加機能付き 4 段 PRBS 発生器の実装図

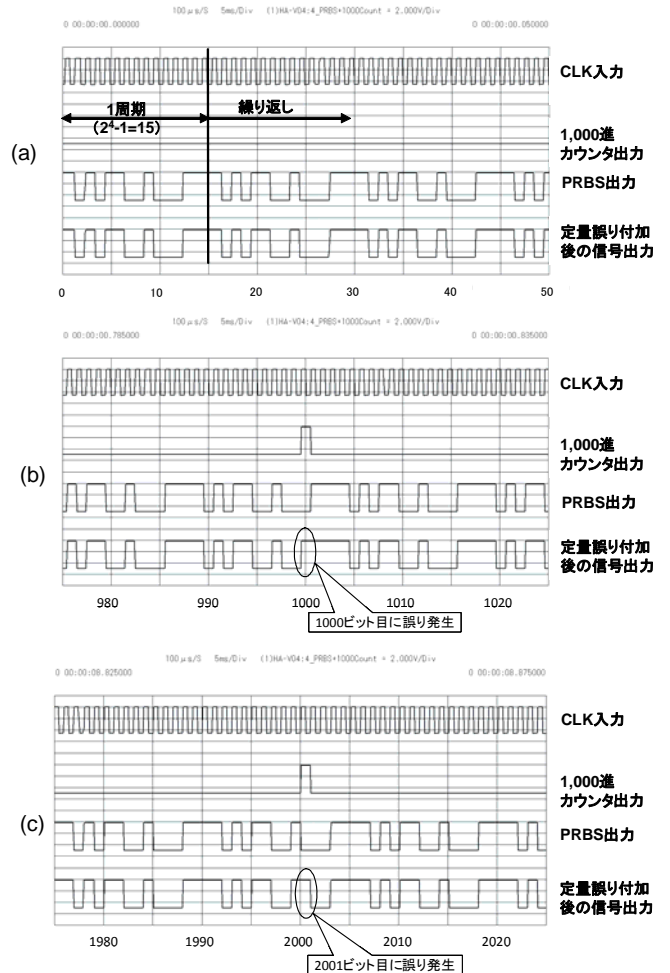


図 9. 試作検討した定量誤り付加機能付き PRBS 発生器の応答波形

5. まとめ

光通信システムの総合評価に用いられる擬似ランダム信号発生器を経済的に構成するため、能動素子に短ゲート化の進展により高速化が期待できるCMOSFETを用いた構成について、論理回路シミュレーション、試作検討回路の測定を通じて動作確認をおこなった。最初に回路構成が簡単で周期が短いため検討のしやすい4段構成(15ビットで1周期)、符号誤り率 10^{-3} の定量誤り発生機能を有する回路について基本動作を検討した。論理回路シミュレーション、試作検討回路の測定結果ともに15ビットで1周期を有する4段の擬似ランダム信号が発生し、また、ほぼ 10^3 ビット毎に1回、発生した擬似ランダム信号のビットが反転することを確認した。次に実用上必要なランダム性、定量誤り発生機能を備えた7段構成(255ビットで1周期)、符号誤り率 10^{-4} の定量誤り発生機能を有する回路の論理回路シミュレーションを行い、所望の機能を実現できる見通しを得た。今後は7段構成、符号誤り率 10^{-4} の定量誤り発生機能を有するPRBS発生回路の試作を行い、動作確認を行った後、短ゲートMOSFETによるICを用いて高速化の検討を進めていく予定である。

参考文献

- [1] 江藤良純、金子敏信、“誤り訂正符号とその応用”、オーム社、1997.
- [2] 島田禎晉、河西宏之、榎一光、辻久雄、“SDH 伝送方式”、オーム社、1993.
- [3] 今井秀樹、“符号理論”、電子情報通信学会、2007.
- [4] “Forward error correction for submarine systems”, ITU-T Recommendation G.975, 1996.